

Conversor A/D

del dsPIC30F4013

0. INTRODUCCIÓN	2
1.CONVERSOR A/D DE 12-BITS	5
1.1. INTRODUCCIÓN	5
1.2. EL BUFFER DE RESULTADOS	6
1.3. LA OPERACIÓN DE CONVERSIÓN	6
1.4. SELECCIÓN DE LA SECUENCIA DE CONVERSIÓN	7
1.5. PROGRAMACIÓN DEL DISPARO DE CONVERSIÓN	8
1.6. INTERRUPTIR UNA CONVERSIÓN	8
1.7. SELECCIONAR EL TIEMPO DE CONVERSIÓN	8
1.8. REQUISITOS DE LA ADQUISICIÓN A/D	9
1.9. MODOS DE APAGADO	10
1.10. FUNCIONAMIENTO DEL CONVERTOR EN ESTADO SLEEP O IDLE DEL PROCESADOR	10
1.10.1. FUNCIONAMIENTO DEL CONVERTOR EN ESTADO SLEEP DEL PROCESADOR	10
1.10.2. FUNCIONAMIENTO DEL CONVERTOR EN ESTADO IDLE DEL PROCESADOR	10
1.11. EFECTOS DEL RESET	11
1.12. FORMATOS DE SALIDA	11
1.13. CONFIGURACIÓN DE LOS PINS DEL PUERTO ANALÓGICO	11
1.14. CONSIDERACIONES DE CONEXIÓN	12
1.15. BIBLIOGRAFÍA Y ENLACES	12

0. INTRODUCCIÓN

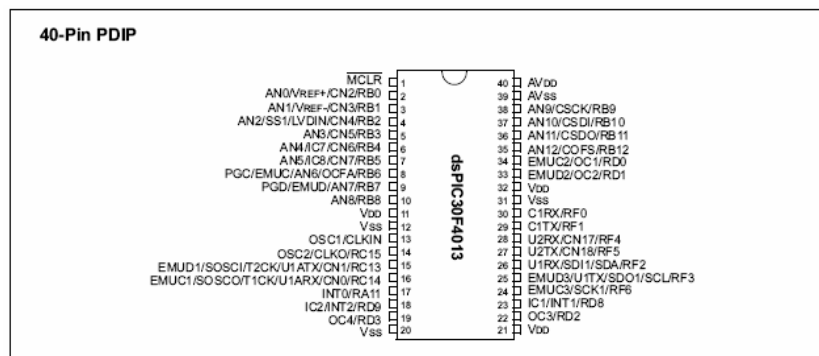
Un Microcontrolador es un circuito integrado o más comúnmente llamado chip, que cumple las funciones de cerebro de cualquier aplicación, y es responsable del buen funcionamiento del circuito que gobierna. Como todo cerebro, este chip tiene que procesar alguna información que tiene en su memoria y de esta manera decidir qué hacer. A esta información que debe tener el chip se le llama software o programa de aplicación.

Microchip, el líder mundial de los microcontroladores de 8 bits, ha desarrollado los DSC (Controladores Digitales de Señal), que son una combinación de microcontroladores clásicos con los recursos básicos de los DSP (Procesador Digital de Señal). De esta forma los DSC ocupan el nivel intermedio entre los MCU y los DSP. En la actualidad ya se comercializan más de 50 modelos.

El modelo que nos interesa en este caso es el dsPIC30F4013. Entre algunos de los rasgos del micro, en los que no profundizaremos, se encuentran: arquitectura harvard modificada, 84 instrucciones básicas, ancho de instrucciones de 24 bits, y un ancho de datos de 16 bits. Puede almacenar 48 kbytes en su memoria de programa, tiene una RAM de 2 kbytes y una EEPROM de 1 kbyte, una velocidad de operación de 30 MIPS, 33 fuentes de interrupción, 16 registros de trabajo de 16 bits y 2 acumuladores de 40 bits.

Uno de los componentes fundamentales en un microcontrolador es el convertor A/D. El presente trabajo se centra en el estudio del convertor integrado en el dsPIC30F4013, mencionado anteriormente. En primer lugar se ofrecen algunas figuras donde se observan los rasgos generales del micro, y a continuación

FIGURAS 1-3 - DIAGRAMA DE PINS DEL dsPIC30F4013



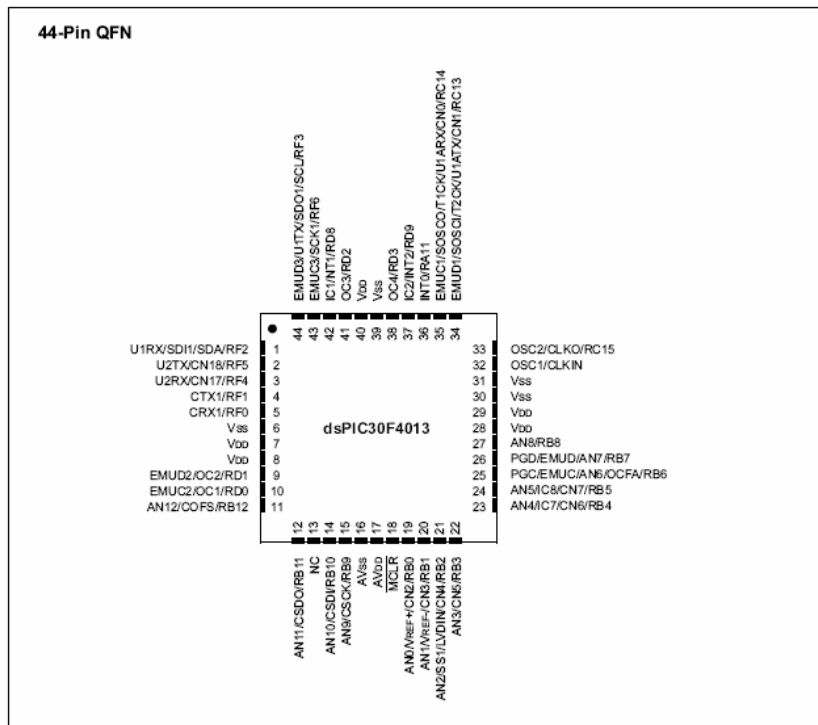
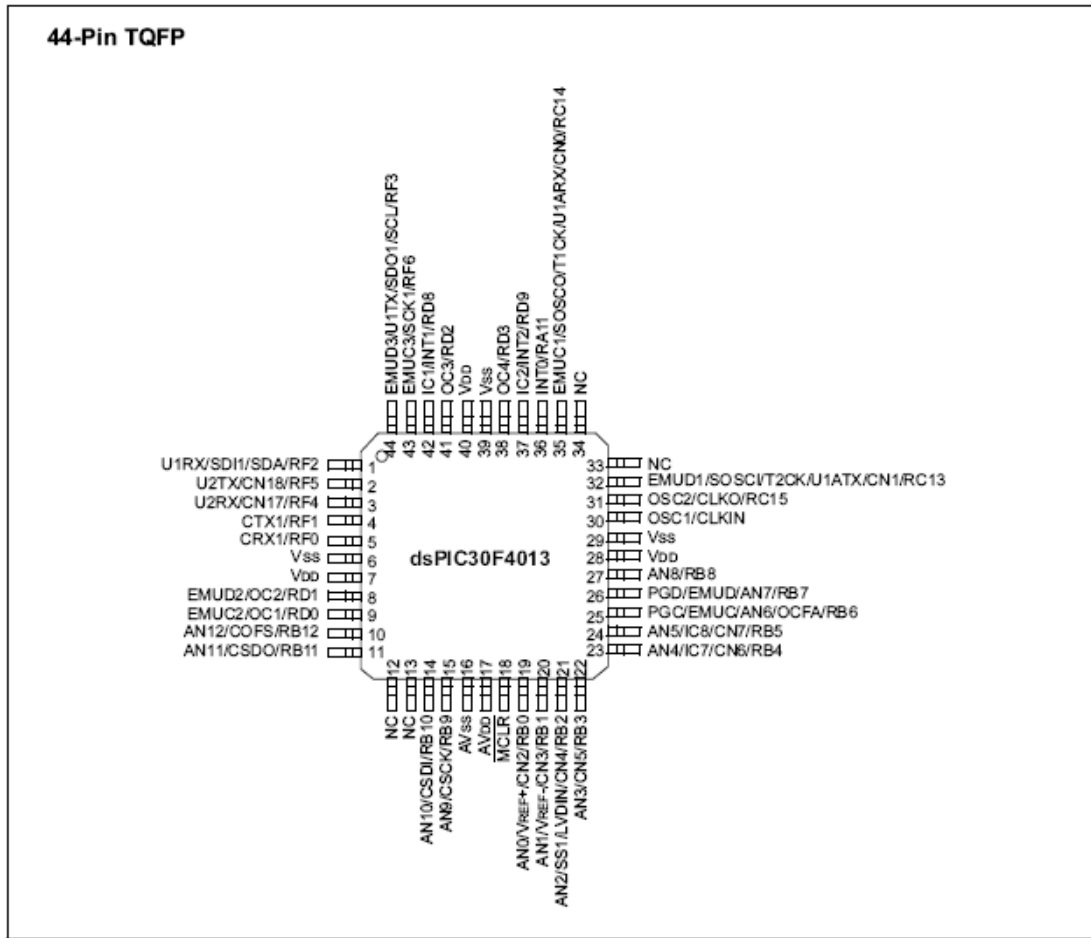


TABLA 1 - PINS DEL dsPIC30F4013

Nombre del pin	Tipo de pin	Tipo de buffer	Descripción
AN0-AN12	I	Analog	Analog input channels. AN6 and AN7 are also used for device programming data and clock inputs, respectively.
AVDD	P	P	Positive supply for analog module.
AVSS	P	P	Ground reference for analog module.
CLKI	I	ST/CMOS	External clock source input. Always associated with OSC1 pin function.
CLKO	O	—	Oscillator crystal output. Connects to crystal or resonator in Crystal Oscillator mode. Optionally functions as CLKO in RC and EC modes. Always associated with OSC2 pin function.
CN0-CN7, CN17-CN18	I	ST	Input change notification inputs. Can be software programmed for internal weak pull-ups on all inputs.
COFS	I/O	ST	Data Converter Interface Frame Synchronization pin.
CCLK	I/O	ST	Data Converter Interface Serial Clock input/output pin.
CSDI	I	ST	Data Converter Interface Serial data input pin.
CSDO	O	—	Data Converter Interface Serial data output pin.
C1RX	I	ST	CAN1 Bus Receive pin.
C1TX	O	—	CAN1 Bus Transmit pin.
EMUD	I/O	ST	ICD Primary Communication Channel data input/output pin. ICD
EMUC	I/O	ST	Primary Communication Channel clock input/output pin. ICD
EMUD1	I/O	ST	Secondary Communication Channel data input/output pin.
EMUC1	I/O	ST	ICD Secondary Communication Channel clock input/output pin.
EMUD2	I/O	ST	ICD Tertiary Communication Channel data input/output pin. ICD
EMUC2	I/O	ST	Tertiary Communication Channel clock input/output pin. ICD
EMUD3	I/O	ST	Quaternary Communication Channel data input/output pin.
EMUC3	I/O	ST	ICD Quaternary Communication Channel clock input/output pin.
IC1, IC2, IC7, IC8	I	ST	Capture inputs 1,2, 7 and 8.
INT0	I	ST	External interrupt 0.
INT1	I	ST	External interrupt 1.
INT2	I	ST	External interrupt 2.
LVDIN	I	Analog	Low Voltage Detect Reference Voltage input pin.
MCLR	I/P	ST	Master Clear (Reset) input or programming voltage input. This pin is an active low Reset to the device.
OCFA	I	ST	Compare Fault A input (for Compare channels 1, 2, 3 and 4).
OC1-OC4	O	—	Compare outputs 1 through 4.
OSC1	I	ST/CMOS	Oscillator crystal input. ST buffer when configured in RC mode; CMOS otherwise.
OSC2	I/O	—	Oscillator crystal output. Connects to crystal or resonator in Crystal Oscillator mode. Optionally functions as CLKO in RC and EC modes.
PGD	I/O	ST	In-Circuit Serial Programming data input/output pin.
PGC	I	ST	In-Circuit Serial Programming clock input pin.
RA11	I/O	ST	PORTA is a bidirectional I/O port.
RB0-RB12	I/O	ST	PORTB is a bidirectional I/O port.
RC13-RC15	I/O	ST	PORTC is a bidirectional I/O port.
RD0-RD3, RD8, RD9	I/O	ST	PORTD is a bidirectional I/O port.
RF0-RF5	I/O	ST	PORTF is a bidirectional I/O port.

SCK1	I/O	ST	Synchronous serial clock input/output for SPI1.
SDI1	I	ST	SPI1 Data In.
SDO1	O	—	SPI1 Data Out.
SS1	I	ST	SPI1 Slave Synchronization.
SCL	I/O	ST	Synchronous serial clock input/output for I2C.
SDA	I/O	ST	Synchronous serial data input/output for I2C.
SOSCO	O	—	32 kHz low power oscillator crystal output.
SOSCI	I	ST/CMOS	32 kHz low power oscillator crystal input. ST buffer when configured in RC mode; CMOS otherwise.
T1CK	I	ST	Timer1 external clock input.
T2CK	I	ST	Timer2 external clock input.
U1RX	I	ST	UART1 Receive.
U1TX	O	—	UART1 Transmit.
U1ARX	I	ST	UART1 Alternate Receive.
U1ATX	O	—	UART1 Alternate Transmit.
VDD	P	—	Positive supply for logic and I/O pins.
VSS	P	—	Ground reference for logic and I/O pins.
VREF+	I	Analog	Analog Voltage Reference (High) input.
VREF-	I	Analog	Analog Voltage Reference (Low) input.

NOTA: Los señalados con fuente en verde son los relacionados con el convertor A/D, objeto de este trabajo.

Leyenda:

CMOS = CMOS compatible input or output

Analog = Analog input

ST = Schmitt Trigger input with CMOS levels

O = Output

I = Input

P = Power

1. CONVERTOR A/D DE 12-BITS

1.1. INTRODUCCIÓN

El convertor A/D de 12-bits permite la conversión de señales analógicas de entrada a números digitales de 12 bits. Provee una velocidad de muestreo de 100.000 muestras por segundo. Tiene hasta 16 entradas analógicas multiplexadas en un amplificador de muestreo y retención (sample&hold). La salida al amplificador es la entrada al convertor, que genera el resultado. La referencia analógica de voltaje se puede seleccionar por software a las patillas AVDD/AVSS o VREF+/VREF-. El convertor A/D posee la característica especial de funcionar con el dispositivo en modo Sleep (si el oscilador está en RC).

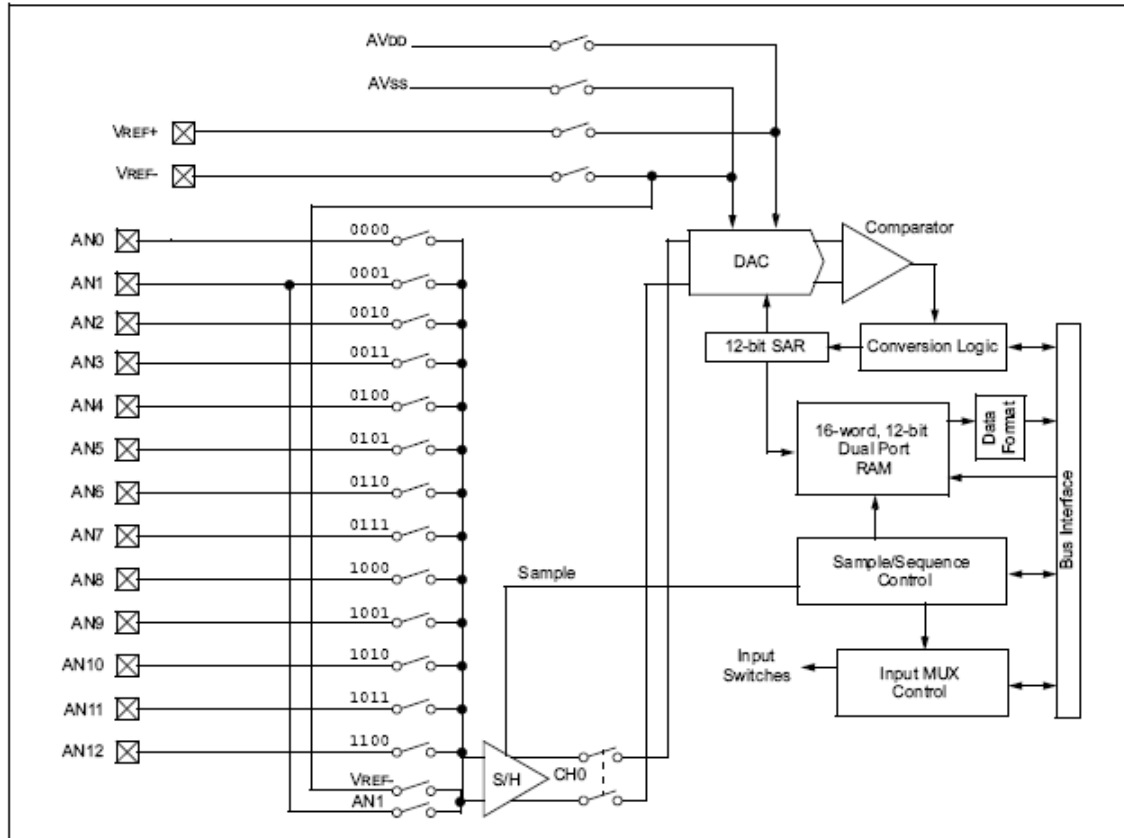
El convertor tiene 6 registros de 16-bits

- Registro de Control A/D 1 (ADCON1)
- Registro de Control A/D 2 (ADCON2)
- Registro de Control A/D 3 (ADCON3)
- Registro de configuración de modo simple/diferencial (ADCHS)
- Registro de configuración del puerto A/D (ADPCFG)
- Registro de selección de los canales a muestrear (ADCSSL)

Los registros ADCON1, ADCON2 y ADCON3 controlan la operación del convertor. El registro ADCHS selecciona los canales de entrada.

ADPCFG configura los pines del puerto como entradas analógicas o entradas/salidas digitales.

FIGURA 4 - DIAGRAMA DE BLOQUES DEL CONVERTOR A/D DE 12 BITS



Nota: Los registros ADCHS, ADPCFG y ADCSSL permiten configurar AN13-AN15 como patillas de entrada analógica (aunque estos pines no están presentes físicamente, los resultados de conversiones provenientes de ellos se leerán como '0')

1.2. EL BUFFER DE RESULTADOS

El módulo tiene una memoria de puerto dual, de sólo lectura y 16 posiciones, llamadas ADCBUF0...ADCBUFF. Este buffer sirve para almacenar los resultados del convertor. La RAM es de 12 bits pero los datos obtenidos se representan en uno de los cuatro formatos distintos de 16 bits de datos.

1.3. LA OPERACIÓN DE CONVERSIÓN

Cuando el convertor está configurado, la adquisición de la muestra empieza

poniendo a uno el bit SAMP. Existen varias fuentes capaces de terminar la adquisición y pasar al proceso de conversión, como eventos externos o que expire un temporizador.

Al terminar la conversión, el resultado se carga en uno de los registros (de ADCBUF0 a ADCBUFF), y el bit DONE y el flag de interrupción ADIF se ponen a uno tras el número de muestras especificadas en el bit SMPI. En los bits SMPI se indica cada cuantos datos almacenados en el buffer se genera una interrupción. Para leer, por ejemplo, la posición 5 se emplearía ADCBUF5. El buffer vuelve

automáticamente a ADCBUF0 al producirse una interrupción. El convertor puede configurarse para diferentes tasas de interrupción.

Los pasos a seguir para la configuración del convertor son:

1. Configura el módulo A/D

- Configura los pins analógicos, la referencia de tensión y la entrada/salida digital
- Selecciona los canales de entrada
- Selecciona la frecuencia del reloj
- Selecciona el disparo (trigger) de conversión
- Enciende el módulo

2. Configura la interrupción de convertor (si es necesario)

- Borrarnos el bit ADIF
- Selecciona la prioridad de la interrupción
- Activa el bit ADIE

3. Inicia el muestreo

4. Espera el tiempo necesario de adquisición de la muestra

5. Termina el disparo de adquisición, empieza la conversión

6. Espera a que se complete la conversión para entonces:

- Esperar la interrupción de convertor

- Esperar a que se active el bit DONE

7. Lee el resultado del buffer y borra el bit ADIF si es necesario.

1.4. SELECCIÓN DE LA SECUENCIA DE CONVERSIÓN

Varios grupos de bits de control seleccionan la secuencia en la que el convertor conecta las entradas al canal de muestreo y retención, realiza la conversión, la escribe en el buffer y genera interrupciones. Dicha secuencia se controla mediante los relojes de muestreo.

Los bits SMPI seleccionan el número de secuencias de adquisición/conversión que se llevarán a cabo antes de producirse una interrupción. Éste puede variar de 1 a 16 muestras por interrupción.

El bit BUFM separa el buffer de resultados de 16 palabras de tamaño, en dos grupos de 8 palabras, con parte ‘alta’ y ‘baja’. Su uso depende del tiempo disponible. Si el procesador puede descargar rápidamente un buffer entero en el tiempo de adquisición y conversión de un canal, el bit BUFM puede ir de 0 a 16 conversiones (que se corresponden con los canales de entrada), y todo en una interrupción. Si el procesador no puede descargar el buffer en el tiempo de adquisición y conversión, el bit BUFM debería ser ‘1’. Por ejemplo, si $SMPI<3:0> (ADCON2<5:2>) = 0111$, entonces las 8 conversiones serán almacenadas en medio buffer, y se producirá una interrupción. Las siguientes 8 conversiones se almacenarán en la otra mitad del buffer. El procesador dispondrá del tiempo completo entre interrupciones para mover las 8 conversiones de una parte a la otra.

Los bits ALTS se usan para alternar las entradas seleccionadas durante la secuencia de muestreo. El multiplexor de entrada tiene dos grupos de entradas de muestras: MUX A y MUX B. Si el bit ALTS está a '0' sólo las entradas MUX A se seleccionan para muestreo. Si el bit ALTS es '1' y SMPI<3:0> = 0000 en la primera secuencia de muestreo/conversión, las entradas MUX A se seleccionarán en el siguiente instante de adquisición/conversión, y son las entradas MUX B las que se encuentran seleccionadas. El bit CSCNA (ADCON2<10>) permite que la entrada S/H se escanee según el número de entradas analógicas seleccionado en el grupo MUX A. Las entradas se seleccionan por el registro ADCSSL. Cuando un bit de este registro está a '1', se selecciona la entrada correspondiente. Este escaneo se produce de la entrada de número más bajo, al más alto.

Los registros ADCHS, ADPCFG y ADCSSL permiten configurar las patillas AN13-AN15, como entradas analógicas. Aunque no están en realidad físicamente presentes, el dispositivo lee sus resultados como '0'.

1.5. PROGRAMACIÓN DEL DISPARO DE CONVERSIÓN

El disparo (trigger) de conversión termina la adquisición y da paso a las conversiones requeridas.

Los bits SSRC<2:0> seleccionan la fuente del disparo de conversión. Estos bits ofrecen hasta 4 formas distintas de disparo. Cuando SSRC<2:0> = 000, el disparo está bajo control del software. Al borrar el bit SAMP se producirá el disparo. Si SSRC<2:0> = 111 (Modo de Auto-Conversión), el disparo se encuentra bajo control del reloj del conversor. Los bits SAMP seleccionan

el número de intervalos entre el inicio de la adquisición y de la conversión. Esta forma proporciona las tasas de conversión más altas, utilizando múltiples canales. SAMC debe ser como mínimo de un ciclo de reloj.

En otras ocasiones el disparo puede producirse por temporizadores o interrupciones externas.

1.6. INTERRUMPIR UNA CONVERSIÓN

Si el bit ADON se borra durante una conversión, ésta se detendrá y parará la secuencia de muestreo actual (hasta el instante de muestreo siguiente). El ADCBUF no se actualizará con la muestra de conversión parcialmente completada, sino que continuará con el valor de la última conversión realizada.

Si el borrado del bit ADON coincide con un arranque automático, dicho borrado es prioritario y no empieza una nueva conversión.

1.7. SELECCIONAR EL TIEMPO DE CONVERSIÓN

La conversión A/D requiere 14 T_{AD}. El tiempo de conversión se selecciona por software, con un contador de 6 bits. Existen por tanto 64 opciones para T_{AD}.

$$T_{AD} = T_{CY} * (0.5 * (ADCS<5:0> + 1))$$

El oscilador RC interno se selecciona mediante el bit ADRC. Para una correcta conversión, T_{AD} debe escogerse de forma que asegure un tiempo mínimo de 667 nseg para V_{DD} = 5V.

A continuación se ofrece un ejemplo del cálculo de la frecuencia de muestreo para los bits ADCS<5:0> bits, suponiendo una velocidad de 30 MIPS.

Mínimo	TAD = 667 nsec	
	TCY = 33.33 nsec (30 MIPS)	
<hr/>		
	$\text{ADCS}\langle 5:0 \rangle = 2 \frac{\text{TAD}}{\text{TCY}} - 1$ $= 2 \cdot \frac{667 \text{ nsec}}{33.33 \text{ nsec}} - 1$ $= 39$	
Por tanto,	ADCS<5:0> = 39	
<hr/>		
	$\text{Actual TAD} = \frac{\text{TCY}}{2} (\text{ADCS}\langle 5:0 \rangle + 1)$ $= \frac{33.33 \text{ nsec}}{2} (39 + 1)$ $= 667 \text{ nsec}$	
<hr/>		
	SSRC<2:0> = '111' SAMC<4:0> = '00001'	
Tiempo de muestreo	=	Tiempo adquisición + Tiempo conversión
	=	1 TAD + 14 TAD
	=	15 x 667 nsec
Por tanto,		
Frecuencia de Muestreo	=	$\frac{1}{(15 \times 667 \text{ nsec})}$
	=	~100 kHz

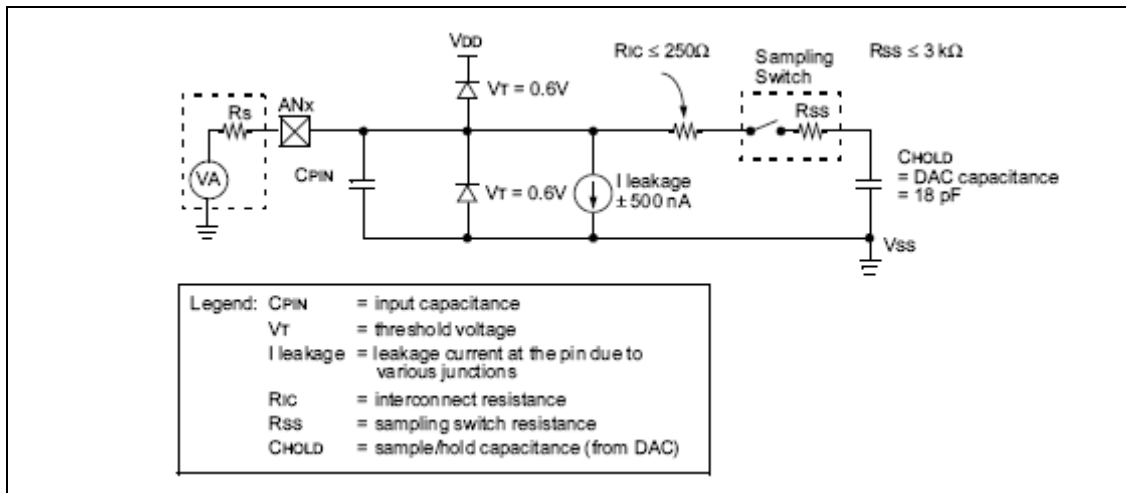
1.8. REQUISITOS DE LA ADQUISICIÓN A/D

El modelo de entrada analógica del convertidor de 12 bits se muestra en la figura. La frecuencia de muestreo está en función del tiempo del amplificador interno y del tiempo de carga del condensador de almacenamiento.

Para que el convertidor funcione con precisión, el condensador (CHOLD) debe poder llegar a estar totalmente cargado, al nivel de tensión de la patilla analógica de entrada. La impedancia de la fuente (Rs), de las interconexiones (Ric) o del conmutador interno (Rss)

afectan el tiempo de carga del condensador (CHOLD). Por tanto la resistencia de las fuentes analógicas debe ser lo suficientemente baja para que el condensador llegue a plena carga dentro del intervalo de tiempo de muestreo. Para minimizar los escapes y garantizar la eficiencia del convertidor se recomienda una impedancia en la fuente máxima de 2.5 kΩ. Una vez que el canal de entrada es seleccionado, la función de muestreo debe ser completada antes de empezar la conversión. El condensador interno debe haberse descargado totalmente antes de cada operación de muestreo.

FIGURA 5- MODELO DE ENTRADA ANALÓGICA DEL CONVERTOR DE 12 BITS



Nota: El valor de CPIN no está testeado. El efecto de CPIN es negligible si $R_s \leq 2.5\text{ k}\Omega$.

1.9. MODOS DE APAGADO

El módulo posee dos estados internos. Cuando el bit ADON está a '1', se encuentra encendido. Si está a '0' el convertor está en modo 'Off'. Las partes analógicas y digitales del circuito se deshabilitan para un ahorro máximo de corriente.

Para regresar al modo encendido desde el modo Off (Apagado), el usuario debe esperar a que se estabilice el circuito ADC.

1.10. FUNCIONAMIENTO DEL CONVERTOR EN ESTADO SLEEP O IDLE DEL PROCESADOR

1.10.1. FUNCIONAMIENTO DEL CONVERTOR EN ESTADO SLEEP DEL PROCESADOR

Cuando el dispositivo entra en estado Sleep todas las fuentes del reloj se apagan y permanecen a '0'. Si se entra en este modo en medio de una conversión, ésta aborta.

Los contenidos de los registros no se modifican al entrar o salir del modo Sleep.

El convertor puede funcionar en modo Sleep si se pone como fuente de reloj el RC interno ($ADRC = 1$). De esta forma, el módulo A/D espera un ciclo de máquina antes de empezar la conversión. Esto permite eliminar el ruido de la conversión digital. Cuando la conversión finaliza el bit DONE se pone a uno. Si la interrupción por final de conversión A/D está habilitada, el dispositivo se despierta. Si la interrupción no está habilitada, el módulo A/D se apagará aunque el bit ADON permanezca a uno.

1.10.2. FUNCIONAMIENTO DEL CONVERTOR EN ESTADO IDLE DEL PROCESADOR

El bit ADSIDL selecciona si el convertor se detendrá o no durante el modo Idle. Si $ADSIDL = 0$ continuará funcionando, y si $ADSIDL = 1$ se

detendrá en el modo Idle del procesador.

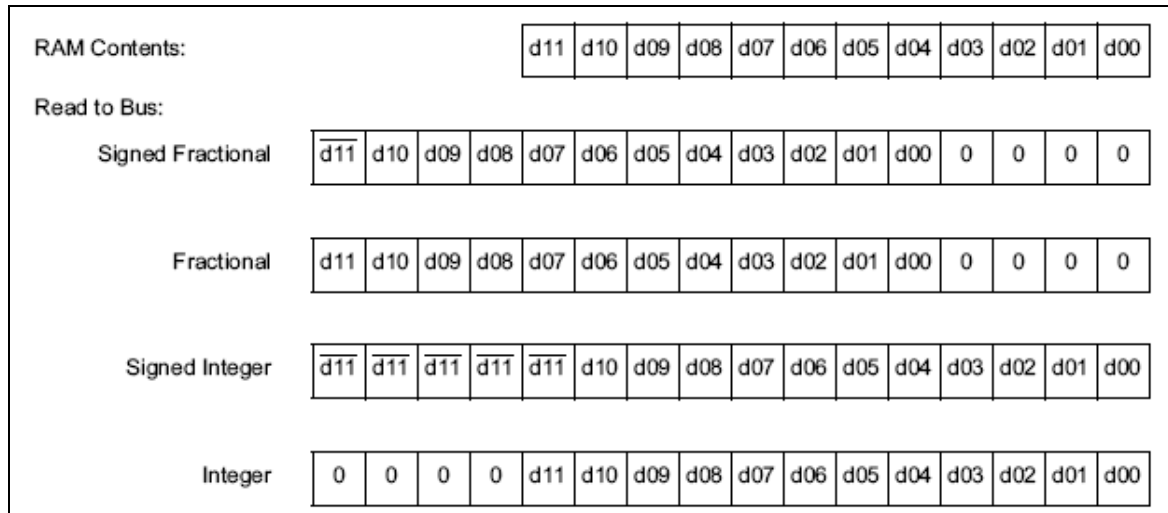
1.11. EFECTOS DEL RESET

El reset del dispositivo fuerza el reset de todos los registros. El convertor se apagará y detendrá cualquier conversión o muestreo. Los valores de ADCBUF no se modifican y el registro de resultados puede contener un resultado desconocido.

1.12. FORMATOS DE SALIDA

El resultado es de 12 bits de tamaño. El buffer de datos RAM también es de 12 bits. Los datos de 12 bits pueden leerse con cuatro formatos diferentes. Esto se especifica mediante los bits FORM<1:0>. Cada uno de estos formatos realiza la traducción a un resultado de 16 bits en el bus de datos. Los datos de escritura van siempre en formato 'Integer'.

FIGURA 6- FORMATOS DE DATOS DE SALIDA



1.13. CONFIGURACIÓN DE LOS PINS DEL PUERTO ANALÓGICO

Los registros ADCON1 y TRIS controlan la configuración de los pines del puerto del convertidor A/D. Cuando se desea configurar una entrada como analógica, debe configurarse como entrada los bits correspondientes del registro TRIS. Si el bits del TRIS correspondiente se pone a cero (salida), el valor digital de la salida (VOH o VOL) cambiará.

CH0SA<3:0>/CH0SB<3:0>y del valor de TRIS. Al leer el registro del puerto, cualquier pin configurado como un canal analógico se lee como un cero (nivel bajo). Los pines configurados como entradas digitales convertirán la entrada analógica. Los niveles analógicos de una entrada digital no afectarán la exactitud de la conversión. Los niveles analógicos en cualquier pin de entrada digital (ANx) pueden causar que el buffer de entrada consuma una corriente superior a la de las especificaciones del dispositivo.

El funcionamiento del convertidor A/D es independiente de los bits



1.14. CONSIDERACIONES DE CONEXIÓN

Las entradas analógicas tienen diodos para la protección de V_{DD} y V_{SS} . Esto requiere que la entrada analógica se encuentre entre V_{DD} y V_{SS} . Si la tensión de entrada excede este rango por arriba o por abajo en 0.3V, uno de los diodos puede dañarse y también el dispositivo, si se sobrepasa el nivel de corriente de entrada especificado.

En ocasiones se añade un filtro RC para evitar el aliasing de la señal de entrada. La resistencia de cualquier componente debe seleccionarse de forma que se asegure la frecuencia de muestreo. Cualquier elemento externo que conectemos debería tener una fuga de corriente mínima en el pin para asegurar un buen funcionamiento.

1.15. BIBLIOGRAFÍA Y ENLACES

- dsPIC30F3014, dsPIC30F4013 Data Sheet –MICROCHIP

-www.microchip.com

**TABLA 2 -
MAPA DE
REGISTROS
DEL
CONVERSION**

SFR Name	Addr.	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset State
ADCBUF0	0280	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000 0000 0000 0000
ADCBUF1	0282	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000 0000 0000 0000
ADCBUF2	0284	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000 0000 0000 0000
ADCBUF3	0286	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000 0000 0000 0000
ADCBUF4	0288	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000 0000 0000 0000
ADCBUF5	028A	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000 0000 0000 0000
ADCBUF6	028C	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000 0000 0000 0000
ADCBUF7	028E	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000 0000 0000 0000
ADCBUF8	0290	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000 0000 0000 0000
ADCBUF9	0292	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000 0000 0000 0000
ADCBUFA	0294	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000 0000 0000 0000
ADCBUFB	0296	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000 0000 0000 0000
ADCBUFC	0298	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000 0000 0000 0000
ADCBUFD	029A	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000 0000 0000 0000
ADCBUFE	029C	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000 0000 0000 0000
ADCBUFF	029E	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000 0000 0000 0000
ADCON1	02A0	ADON	—	ADSIDL	—	—	—	FORM<1:0>	—	BUFS	SSRC<2:0>	—	—	—	ASAM	SAMP	DONE	0000 0000 0000 0000
ADCON2	02A2	—	VCFG<2:0>	—	—	—	CSCNA	—	—	—	—	—	SMPH<3:0>	—	—	BUFM	ALTS	0000 0000 0000 0000
ADCON3	02A4	—	—	—	—	—	SAMC<4:0>	—	—	ADRC	—	—	—	—	—	—	—	0000 0000 0000 0000
ADCHS	02A6	—	—	—	CHINB	—	—	CH0SB<3:0>	—	—	—	—	CH0NA	—	—	CH0SA<3:0>	—	0000 0000 0000 0000
ADPCFG	02A8	PCFG15	PCFG14	PCFG13	PCFG12	PCFG11	PCFG10	PCFG9	PCFG8	PCFG7	PCFG6	PCFG5	PCFG4	PCFG3	PCFG2	PCFG1	PCFG0	0000 0000 0000 0000
ADCSSL	02AA	CSSL15	CSSL14	CSSL13	CSSL12	CSSL11	CSSL10	CSSL9	CSSL8	CSSL7	CSSL6	CSSL5	CSSL4	CSSL3	CSSL2	CSSL1	CSSL0	0000 0000 0000 0000