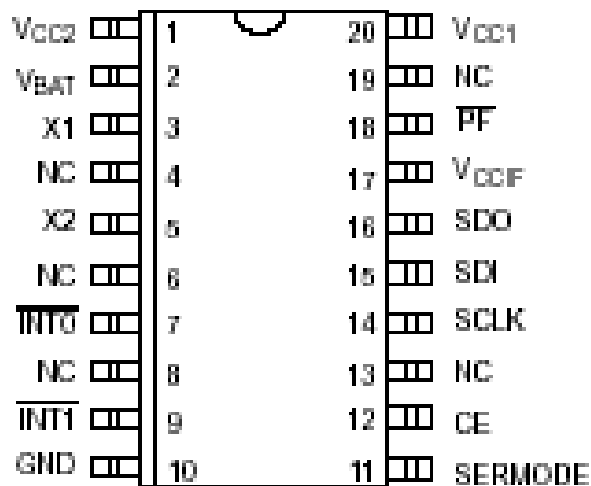


Reloj-Calendarario

Dallas DS1305

Sistemas Electrónicos Digitales

Laboratorio de Sistemas Electrónicos Digitales



DS1305 20-PIN TSSOP (173 MIL)

Grupo B03-B04
Proyecto PAEEES 04/993. U.P.V.
Escuela Politécnica Superior de Alcoy
Marzo 2005.

Rafael Seguí Ferri
Adrian Ruiz Marcet
Amando Egea Muñoz
Fran Zafra Muñoz
Jose Manuel Montoya García
Jorge Menor Rodríguez

ÍNDICE

1.-INTRODUCCIÓN

1.1.-Características.....	3
1.2.-Descripción del ds1305.....	3
1.3.-Descripción de los pins.....	4

2.-RTC Y MAPA DE DIRECCIONES DE LA RAM

2.1.-Mapa de direcciones.....	6
2.2.-Reloj, calendario y alarma.....	6

3.-LOS REGISTROS DE PROPÓSITOS ESPECIALES

3.1.-Registro de control.....	8
3.2.-Registro de estado.....	9
3.3.-Registro de carga.....	9

4.-CONTROL DE ALIMENTACIÓN.....11

5.-MÓDULO SPI (Serial Peripheral Interface)

5.1.-Características.....	12
5.2.-Funcionamiento del SPI.....	12
5.3.-Conexiones Master-Slave del SPI.....	13
5.4.-Registro SPCR de dontról del SPI.....	14
5.5.-Registro de estado y de control del SPI (SPSCR).....	15
5.6.-Cálculo del Blaud Rate.....	16
5.7.-Registro SPDR de datos.....	16
5.8.-Inicialización del SPI “Master-Slave”.....	17
5.9.-Ejemplo de transmisión de datos master-slave.....	17
5.10.-Formatos de transmisión.....	18
5.11.-Ejercicios de programación del SPI.....	19

6.-APLICACIÓN DEL SPI AL DS1305

6.1.-Interfaz en serie.....	20
6.2.-Interfaz periférico serie.....	20
6.3.-Dirección y bytes de los datos.....	21
6.4.-Interfaz 3-WIRE.....	23

7.-VALORES MÁXIMOS ABSOLUTOS

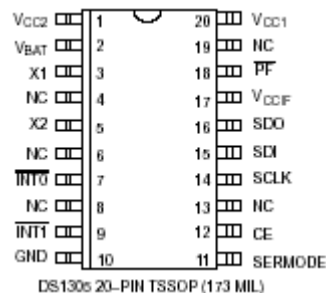
7.1.-Tablas.....	26
7.2.-Notas.....	28

8.- EJEMPLO DE UTILIZACIÓN DE LECTURA DEL DS1305.....29**9.- BIBLIOGRAFÍA.....32**

1.-INTRODUCCIÓN

1.1.-Características

- Reloj en tiempo real que cuenta segundos, minutos, horas, día del mes, el mes, el día de la semana, y tiene en cuenta el año bisiesto.
- 96 bytes no volátiles o permanentes RAM para el almacenaje de datos
- Dos alarmas de hora programables en la combinación de segundos, de minutos, horas, y el día de la semana.
- La interfaz en serie se apoya en el periférico de interconexión serie de Motorola Interconecte (SPI) los puertos serie o el interfaz estándar 3-wire.
- Modo burst para la lectura y la escritura de direcciones sucesivas en el reloj y en la RAM
- Posee tres pines de alimentación que combinados de determinadas maneras sirven para alimentar y cargar la batería.
- Entrada opcional de alimentación para baterías recargables.
- Trabaja de 2.5 a 5 voltios.
- Rango de temperaturas industrial -40°C a $+85^{\circ}\text{C}$.
- Disponible en space-efficient con 20 pines en el tipo de encapsulamiento TSSOP.



1.2.-Descripción del DS1305

El reloj-calendario en tiempo real serie DS1305 proporciona un completo reloj BCD que es accesible vía un simple interfaz en serie. Proporciona información de segundos, minutos, horas, días, fecha, meses y años. El fin de la fecha del mes se ajusta automáticamente con meses con menos de 31 días, incluyendo las correcciones para año bisiesto. El reloj opera en cualquiera de los formatos de 24 horas o 12 horas con el indicador de AM/ PM. Además posee 96 bytes de memoria RAM son proporcionados para el almacenaje de datos.

El pin de entrada de la fuente de alimentación del interfaz (V_{CCIF}) permite al DS1305 que los pins de SDO y del \overline{PF} funcionar a un nivel que es

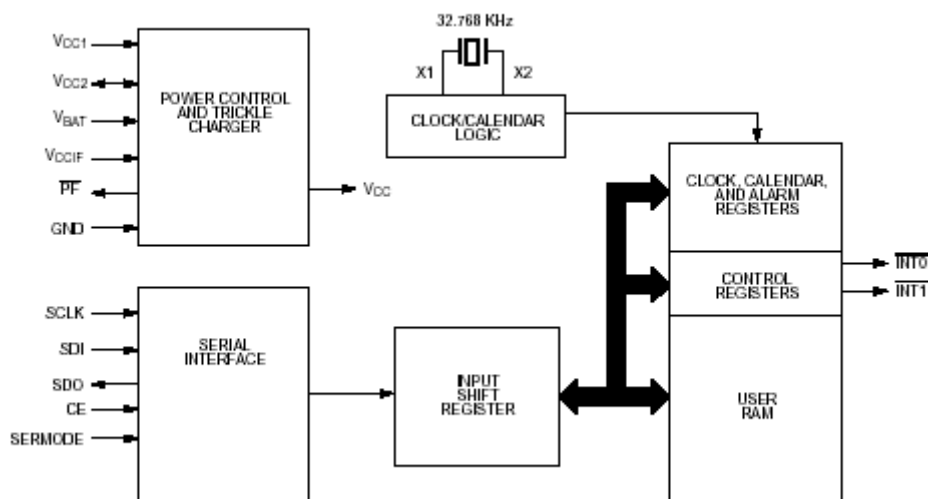
compatible con la lógica del interfaz. Esto permite una fácil interfaz de 3 voltios en sistemas de varias fuentes.

El DS1305 ofrece dos entradas de fuente de alimentación así como un pin para una entrada de batería. Las fuentes de alimentación se apoyan en un circuito de regulación de carga programable que permite que una fuente de energía sea usada como alimentación de seguridad o de respaldo. El pin de V_{BAT} permite que el dispositivo sea respaldado por una batería no recargable. El DS1305 es completamente operacional a partir de 2.5 a 5.5 voltios.

El DS1305 proporciona dos alarmas programables en cualquier momento de la semana. Cada alarma puede generar una interrupción en una combinación programable de segundos, minutos, horas y día. Los estados 'don't care' pueden ser insertados en uno o más campos si se desea que no se les haga caso para la condición de alarma. El reloj-calendario posee un bit programable (INTCN) para configurar que las alarmas salgan por la misma salida o salgan por salidas distintas.

Se apoya en la interfaz en serie SPI, y posee una forma directa y rápida de acceder a los registros de datos internos del periférico.

DS1305 BLOCK DIAGRAM Figure 1



1.3.-Descripción de los pins

20 - V_{CC1} - Alimentación principal del DS1305.

1 - V_{CC2} - Alimentación Secundaria. En sistemas que usan la regulación de corriente de carga, la fuente de energía recargable se conecta a este pin.

2 - V_{BAT} - Pin de entrada para cualquier batería estándar de 3 voltios u otra fuente de energía.

17 - V_{CCIF} - (Interface Logic Power Supply Input). Permite al DS1305 que los pins de salida SDO y \overline{PF} funcionen a un nivel que sea compatible con el interfaz lógico (decidir entre 3 y 5 voltios) para permitir una fácil interconexión en sistemas mixtos.

11 – SERMODE – (Serial Interface Mode Input). Ofrece la posibilidad de elegir entre los dos modos de interfaz serie. Cuando lo conectamos a nivel bajo, se selecciona el modo 3-wire. Si lo conectamos a nivel alto, se selecciona el bus SPI.

14 – SCLK – (Serial Clock Input). Se usa para sincronizar el movimiento de la información, tanto para el bus SPI como para el interfaz 3-wire.

15 – SDI – (Serial Data Input). Cuando se selecciona el bus SPI, como medio de comunicación, este pin se utiliza para la entrada de datos en serie. Cuando se selecciona el 3-wire, este pin se conecta con el pin SDO, y los dos funcionan como E/S.

16 – SDO – (Serial Data Output). Si se selecciona el bus SPI, este pin se utiliza para la salida de datos. Si seleccionamos 3-wire, se conecta con el SDI.

12 – CE – (Chip Enable). Cuando haya una lectura o escritura, tanto para el 3-wire como para el SPI, este pin debe ponerse a nivel alto.

7 – $\overline{\text{INT0}}$ – (Interrupt 0 Output). Es activo a nivel bajo. Es una salida del DS1305 que puede ser usada como una entrada de interrupción (una alarma) de un microprocesador. Este pin puede ser programado tanto para que haga la interrupción solo por la alarma 0 (una de las dos alarmas), o para la alarma 0 y la alarma 1. Permanece a nivel bajo mientras el bit de estado que cause la interrupción esté presente y el correspondiente bit de enable de interrupción este establecido. Funciona sea cual sea la fuente de alimentación principal. Es un pin de salida de colector abierto, por tanto necesita una resistencia externa.

9 – $\overline{\text{INT1}}$ – (Interrupt 1 Output). Tiene exactamente la misma función que el pin $\overline{\text{INT0}}$, excepto por el hecho de que solo se puede programar para que sea activo por la alarma 1.

18 – $\overline{\text{PF}}$ – (Power Fail Output). Este pin sirve para indicar una pérdida en el suministro de la alimentación principal (V_{CC1}). Cuando V_{CC1} es más bajo que V_{CC2} o que V_{BAT} , este pin se pondrá a nivel bajo.

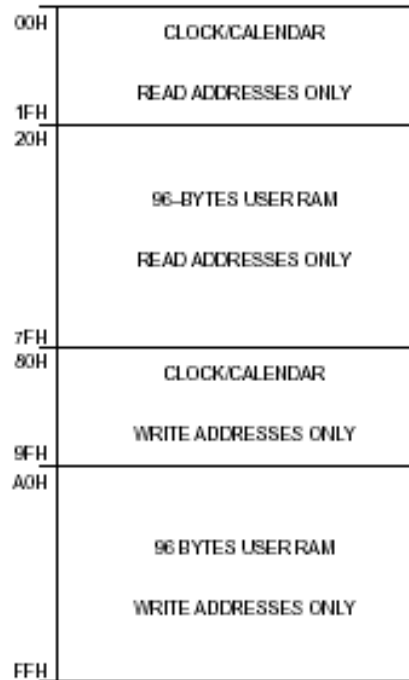
3,5 – X1,X2 – Conexiones para un cristal, que funcionará como un oscilador interno. Aunque el DS1305 también puede funcionar con un oscilador externo de 32768 Khz. En este modo de funcionamiento, el pin X1 se conecta a la señal del oscilador, y el pin X2 se deja al aire.

2.-RTC Y MAPA DE DIRECCIONES DE LA RAM

2.1.-Mapa de direcciones

El mapa de direccionamiento de los RTC (Real Time Clock) y registros de la RAM del DS1305 son los mostrados en la figura.

ADDRESS MAP Figure 2



Los datos se introducen al RTC escribiendo en las direcciones desde 80H a 9FH y en la RAM escribiendo en las direcciones desde A0H a FFH. El datos del RTC se localiza leyendo desde 00H a la dirección 1FH y el datos de la RAM se lee en las direcciones situadas desde 20H a 7FH.

2.2.-Reloj, calendario y alarma

El tiempo, calendario y la alarma han de fijarse e inicializarse en los bytes del registro apropiado. Algunos de ellos se fijarán a 0. estos bits siempre serán leídos como un 0 sin tener en cuenta su verdadero valor. Hay que hacer notar que los registros del 12h al 1Fh (lectura) y los registros del 92h al 9Fh son reservados. Los bloques del tiempo, calendario, y registros de la alarma son en formato Decimal Binario-Codificado (BCD). Los registros del tiempo del reloj se ilustran en la siguiente figura (figura 3).

RTC REGISTERS Figure 3

HEXADDRESS		BIT7 BIT0				RANGE *	
READ	WRITE						
00H	80H	0	10 SEC		SEC	00 - 59	
01H	81H	0	10 MIN		MIN	00 - 59	
02H	82H	0	12/24	10 A/P	10 HR	HOURS 01 - 12 + A/P 00 - 23	
03H	83H	0	0	0	0	DAY 01 - 07	
04H	84H	0	0	10 DATE		DATE 01 - 31	
05H	85H	0	0	10 MONTH		MONTH 01 - 12	
06H	86H	10 YEAR			YEAR	00 - 99	
ALARM 0	07H	87H	M	10 SEC ALARM		SEC ALARM 00 - 59	
	08H	88H	M	10 MIN ALARM		MIN ALARM 00 - 59	
	09H	89H	M	12/24	10 A/P	10 HA	HOUR ALARM 01 - 12 + A/P 00 - 23
	0AH	8AH	M	0	0	0	DAY ALARM 00 - 07
ALARM 1	0BH	8BH	M	10 SEC ALARM		SEC ALARM 00 - 59	
	0CH	8CH	M	10 MIN ALARM		MIN ALARM 00 - 59	
	0DH	8DH	M	12/24	10 A/P	10 HA	HOUR ALARM 01 - 12 + A/P 00 - 23
	0EH	8EH	M	0	0	0	DAY ALARM 01 - 07
0FH	8FH	CONTROL REGISTER					
10H	90H	STATUS REGISTER					
11H	91H	TRICKLE CHARGER REGISTER					
12H-1FH	92H-9FH	RESERVED					

* EL RANGO PARA LOS REGISTROS DE LA ALARMA NO INCLUYE LA MASCARA DE BIT ' M '

El DS1305 puede ponerse en modo 12 horas o 24 horas. El bit 6 del registro de la hora es el que define el modo 12 ó 24 horas. Cuando esta a uno, el modo 12 horas se selecciona. Estando activo el modo 12 horas, el bit 5 esta puesto en AM/PM, con un uno marca PM. En el modo 24-horas, el bit 5 está seleccionado para marcar las veintenas (20-23 horas).

El DS1305 contiene dos alarmas. La primera alarma se programa en los registros del 87h a 8Ah y la segunda se programa en los registros del 8Bh a 8Eh. Las alarmas pueden programarse por el bit INTCN del registro de control. El bit 7 de cada registro de las alarmas representa el bit de máscara. Vamos a ver como responderían las alarmas según los datos que hayan en

estos bits (véase tabla inferior). Cuando todos los bits de máscara de la alarma estén a 0, ésta avisa una vez por semana, es decir, cuando el registro del día, hora, minuto y segundo actual (00h a 03h) coincidan con el registro de la alarma (07h a 0Ah la alarma 0, 0Bh a 0Eh la alarma 1). Una alarma avisará cada día cuando en el bit de máscara del correspondiente registro haya un uno, y los otros bits de máscara estén a 0. La alarma sonará todas las horas cuando el bit de máscara de los registros de día y hora estén a 1, y los de los segundos y minutos estén a 0. Igualmente, la alarma sonará cuando los bits de máscara de los registros del día, hora y minutos estén a 1, y el de los segundos a 0. Cuando todos los bits de máscara de los registros de la alarma estén puestos a 1, la alarma avisará cada segundo.

ALARM REGISTER MASK BITS (BIT 7)				
SECONDS	MINUTES	HOURS	DAYS	
1	1	1	1	Alarm once per second
0	1	1	1	Alarm when seconds match
0	0	1	1	Alarm when minutes and seconds match
0	0	0	1	Alarm when hours, minutes, and seconds match
0	0	0	0	Alarm when day, hours, minutes, and seconds match

3.-LOS REGISTROS DE PROPÓSITOS ESPECIALES

El DS1305 tiene tres registros adicionales (Registro de control, registro de estado y registro de carga) que controlan el reloj en tiempo real, interrupciones, y la intensidad de carga.

3.1.-Registro de control

BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
$\overline{\text{EOSC}}$	WP	0	0	0	INTCN	AE1	AE0

- $\overline{\text{EOSC}}$ (Oscilador habilitado) - Este bit puesto a 0 arrancará el oscilador. Cuando este bit este a 1, el oscilador se detiene y el DS1305 se pone en standby 100 ns y la alimentación se suministra por V_{BAT} o V_{CC2} .

- WP (Escritura Protegida) - Antes de escribir cualquier operación en el reloj o en la RAM, este bit debe de estar a 0. Cuando esta a 1, previene de escribir en algún otro registro y es el único bit que se puede escribir.

- INTCN (Control de la alarma) - Este bit controla la relación entre las alarmas y los pines de interrupción ($\overline{\text{INT0}}$ e $\overline{\text{INT1}}$). Cuando el bit INTCN se pone a 1, la igualdad entre el registro del tiempo actual y el registro de la alarma 0 activarán el pin $\overline{\text{INT0}}$ (con lo cual la alarma 0 avisa de que ha habido una interrupción). Lo mismo pasará entre el registro de la alarma 1 y el pin

$\overline{\text{INT1}}$. Cuando el bit INTCN se pone a 0, la igualdad entre el registro del tiempo actual con la primera alarma o la segunda alarma activará el pin $\overline{\text{INT0}}$ (con lo cual, las alarmas suenan). $\overline{\text{INT1}}$ no tiene ninguna función cuando INTCN se pone a 0.

- AIE0 (enable alarma 0) - Cuando se pone a 1, permite una interrupción en el bit (IRQF0) y valida la salida $\overline{\text{INT0}}$. Cuando el bit AIE0 se pone a 0, el bit IRQF0 no inicia la señal en $\overline{\text{INT0}}$.

- AIE1 (enable alarma 1) - Cuando se pone a 1, permite una interrupción en el bit (IRQF1) que validará la salida $\overline{\text{INT1}}$ (cuando $\text{INTCN}=1$) o para hacer valer $\overline{\text{INT0}}$ (cuando $\text{INTCN}=0$). Cuando el bit AIE1 es puesto a 0, el bit IRQF1 no puede hacer señal de interrupción.

3.2.-Registro de estado

BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
0	0	0	0	0	0	IRQF1	IRQF0

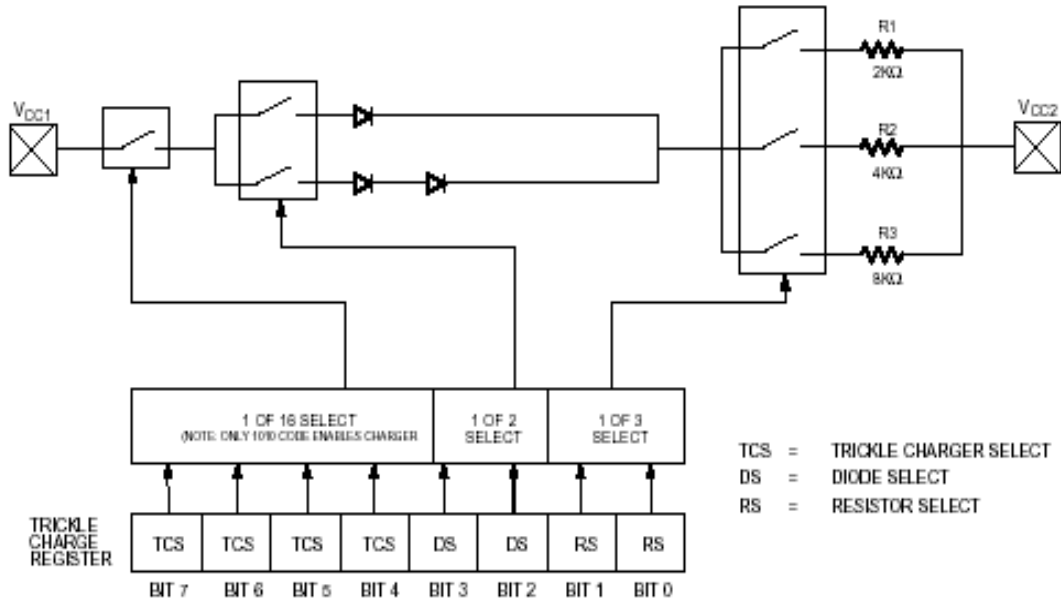
- IRQF0 (Flag de interrupción 0) – Un 1 en este bit indica que el tiempo actual coincide con el registro de la alarma 0. Si el bit AIE0 también está puesto a 1, el pin $\overline{\text{INT0}}$ se pondrá a nivel bajo, con lo cual la alarma 0 avisará que ha habido una interrupción. IRQF0 solo volverá a 0 cuando se lea o escriba cualquier registro de la alarma 0.

- IRQF1 (Flag de interrupción 1) - Un 1 en este bit indica que el tiempo actual coincide con el registro de la alarma 1. Este flag puede generar una interrupción tanto en $\overline{\text{INT0}}$ o como en $\overline{\text{INT1}}$, dependiendo del estado del bit INTCN en el registro de control. Si el bit INTCN se pone a 1 e IRQF1 esta a 1 (y el bit AIE1 también es 1), la patilla de $\overline{\text{INT1}}$ se pondrá a nivel bajo. Si el bit INTCN se pone 0 e IRQF1 está a 1 (y el bit AIE0 también es 1), el pin de $\overline{\text{INT0}}$ se pondrá a nivel bajo. IRQF1 se limpia cuando sea leído o escrito cualquier registro en la alarma 1.

3.3.-Registro de carga

Este registro controla las características de la regulación de la intensidad de carga del DS1305. La figura inferior muestra los componentes básicos. El registro de carga se compone de tres partes. La primera habilita el circuito (TCS), bits(4-7). Un 1010 en esta parte del registro habilitará la intensidad de carga. La segunda parte (DS), que se compone de los bits (2-3), controla la utilización de uno o dos diodos entre V_{CC1} y V_{CC2} . Si están a 01 seleccionamos un diodo, si están a 10 se seleccionan los dos diodos y en cualquier otro caso no se selecciona ninguno, es decir, la intensidad de carga no esta habilitada, independientemente del valor de TCS. Finalmente la última

parte (RS), bits (0-1), controla la resistencia que se conecta entre V_{CC1} y V_{CC2} de las tres posibles, eligiendo así la intensidad deseada, ya que ésta dependerá del valor de la resistencia. Un 01 elige R1, 10 a R2 y 11 elige R3. Un 00 no escogerá ninguna de ellas.



La elección del diodo y la resistencia se determina por el usuario, de acuerdo con la corriente máxima de carga de la batería. La corriente máxima de carga puede calcularse como ilustra en el ejemplo siguiente.

Supongamos que el suministro de corriente del sistema de 5 voltios es aplicado a V_{CC1} y la carga máxima se conecta a V_{CC2} . Supongamos que la corriente de carga se ha habilitado con 1 diodo y 1 resistencia R1 entre V_{CC1} y V_{CC2} . La corriente máxima I_{MAX} se calcularía como sigue:

RS BITS	RESISTOR	TYPICAL VALUE
00	None	None
01	R1	2KΩ
10	R2	4KΩ
11	R3	8KΩ

$$I_{MAX} = (5.0V - \text{diode drop})/R1$$

$$= (5.0V - 0.7V)/2K\Omega$$

$$= 2.2mA$$

Obviamente, cuando hay carga de corriente, el voltaje disminuye entre V_{CC1} y V_{CC2} y por consiguiente el la corriente de carga disminuirá.

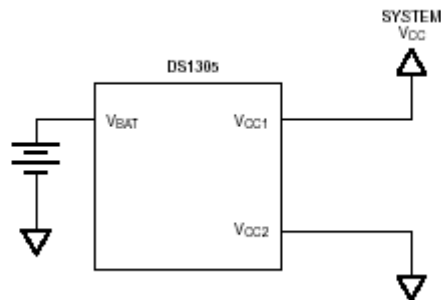
4.-CONTROL DE ALIMENTACIÓN

La alimentación se suministra a través de los pins V_{CC1} , V_{CC2} , y V_{BAT} . Hay tres formas distintas de configurarla (figura inferior). La primera, muestra al DS1305 alimentado por una fuente de energía no recargable. El sistema de alimentación se conecta a V_{CC1} , y V_{CC2} se conecta a tierra. La escritura del integrado estará protegida si V_{CC1} es menor que V_{BAT} .

La segunda configuración, ilustra al DS1305 alimentado por una fuente de energía recargable. En este caso, el pin V_{BAT} va a tierra, V_{CC1} se conecta a la alimentación principal, y V_{CC2} a la secundaria. El integrado funcionará a la que sea mas elevada. Hay que tener en cuenta que esta configuración no protege la escritura en el integrado.

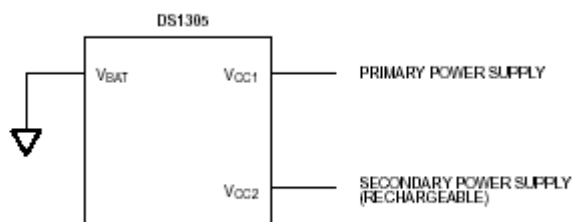
La última configuración muestra al integrado trabajando en modo batería. Aquí, los pins V_{CC1} y V_{BAT} se conectan a tierra, y V_{CC2} a la batería.

Configuration 1: Backup Supply is a Non-Rechargeable Lithium Battery



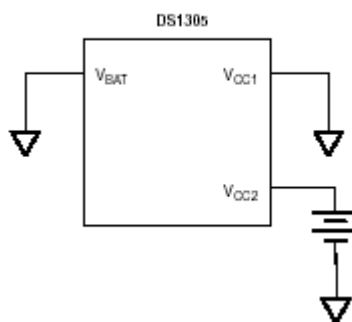
Note: Device is write protected if $V_{CC} < V_{BAT}$.

Configuration 2: Backup Supply is a Rechargeable Battery or Super Capacitor



Note: Device does not provide automatic write protection.

Configuration 3: Battery Operate Mode



5.-MÓDULO SPI (Serial Peripheral Interface)

En esta sección se describen las características y la configuración del Módulo SPI, para trabajar en modo maestro ("master") o modo esclavo ("slave") y se describe el proceso de transmisión de datos.

El SPI es un módulo de comunicaciones serie, síncrona y full-duplex. Está pensado principalmente para comunicaciones dentro del mismo circuito impreso a velocidades relativamente altas. El SPI es una buena manera de unir vía serie la MCU (Micro Controller Unit/microcontrolador) con periféricos externos, como: pequeñas EEPROMs, convertidores analógicos digitales de alta resolución, convertidores digitales analógicos, módulos LCD, controladores de visualizadores LCD de siete segmentos, etc. Comunicando vía serie, la MCU y los periféricos necesitan menos pins y esto revierte a encapsulados más pequeños y normalmente de menor costo. También el SPI se puede usar para comunicar con otras MCUs.

5.1.-Características:

- Máxima frecuencia modo 'master' = frecuencia de bus / 2
- Máxima frecuencia modo 'slave' = frecuencia de bus
- Reloj serie con polaridad y fase programable
- Activa dos interrupciones separadas:

SPRF (Receptor del SPI Completo)

SPTTE (Transmisor del SPI Vacío)

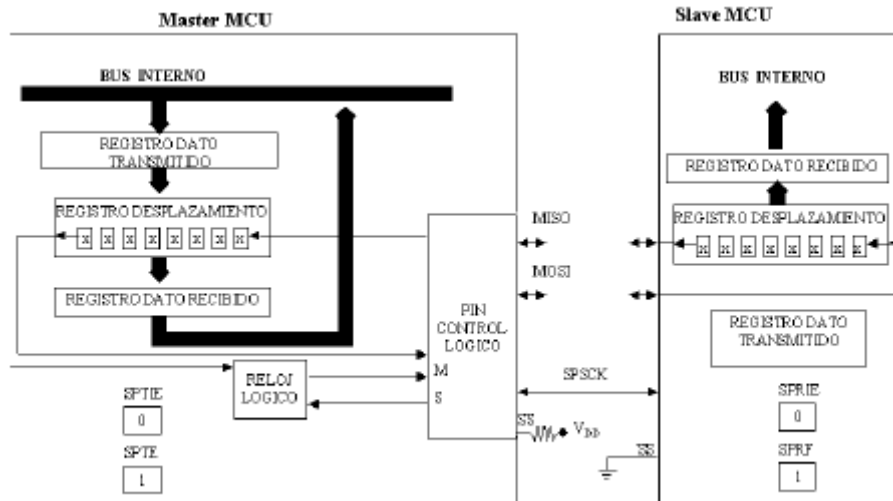
El SPI opera en modo maestro o en modo esclavo. En modo 'master', el SPI genera un reloj de comunicación síncrona, a una de las cuatro frecuencias posibles del 'master'. La frecuencia máxima en modo master es la mitad de la frecuencia del bus. En modo 'slave', el SPI puede operar a velocidades de reloj hasta la frecuencia del bus.

En el SPI también se puede configurar la polaridad y la fase de reloj, permitiendo al SPI comunicar con la mayoría de periféricos serie. Se puede configurar el SPI para generar dos eventos de interrupción separados: transmisor vacío y receptor lleno. Cada interrupción tiene un vector separado que permite transferencias eficaces.

5.2.-Funcionamiento de SPI (Ejemplos con la MCU 68CH08)

El SPI se ha desarrollado alrededor de un doble registro de desplazamiento 'buffered' de 8 bits con ambos extremos del registro del

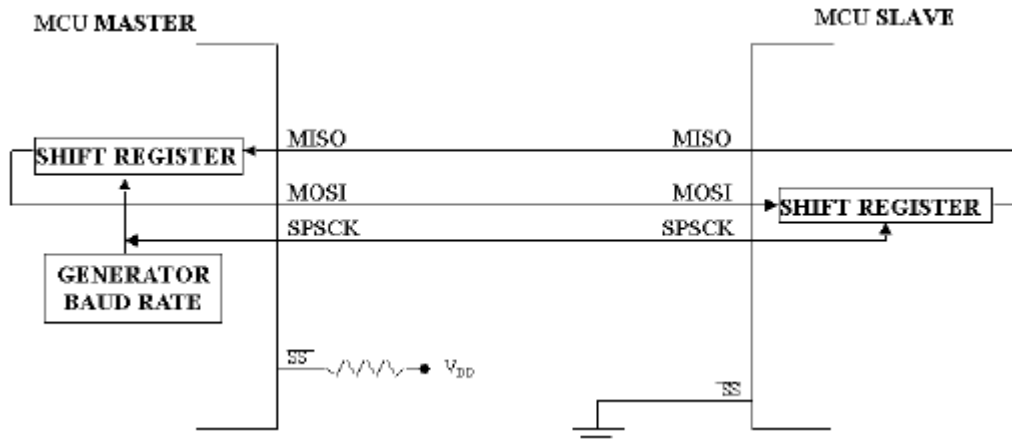
registro de desplazamiento, que van a los pines de la MCU. Un extremo del registro desplazamiento se conecta al pin MISO (Master-In Slave-On). Este pin actúa como una entrada para el Módulo 'master' del SPI y como una salida para el Módulo 'slave' del SPI. El otro extremo del registro de desplazamiento se conecta al pin MOSI (Master-On Slave-In).



La CPU empieza una transferencia serie SPI, escribiendo un byte de datos en el registro de datos transmitidos. Se transferirán automáticamente vía serie todos los 8 bits de datos a través del pin MOSI del 'master', sincronizados con el reloj de salida del 'master' (SPSCK). Cada vez que se desplaza un bit a través del pin MOSI del 'master', se desplaza un bit a través del pin MOSI del 'master', permitiendo una comunicación 'full-duplex'.

5.3.-Conexiones Master-Slave del SPI (MCU 68CH08)

En la figura siguiente se pueden ver las conexiones entre un SPI 'Master' y un SPI 'Slave'. Primero se debe configurar el SPI del circuito como 'Master' y el otro circuito como 'Slave'. Para activar el SPI como Master, se une el pin /SS a Vdd. Para activar el SPI como 'slave', hay que conectar el pin /SS a masa.



Esto permite a un circuito 'Master' seleccionar con qué circuito 'Slave' se va a comunicar, en el caso de que se necesiten varios circuitos periféricos 'Slave'. Típicamente, un 'Master' usa un pin del puerto de I/O de la MCU para controlar cada pin /SS de cada 'Slave'. Si el pin /SS de un 'Slave' se pone a 1, el pin MOSI del 'Slave' se pone en un estado de alta impedancia. Cuando ocurre esto, el 'Slave' ignorará todos los relojes SPSCK entrantes, aunque esté en medio de una transmisión. Se puede configurar y supervisar el funcionamiento del SPI usando los tres registros del Módulo SPI.

5.4.-Registro SPCR de control del SPI

SPCR	Bit 7	6	5	4	3	2	1	Bit 0
Leer:		DMAS						
Escribir:	SPRIE		SPMSTR	CPOL	CPHA	SPWOM	SPE	SPTIE
Reset:	0	0	1	0	1	0	0	0

- El bit **SPRIE** de interrupción del receptor, es un bit de lectura/escritura que activa las peticiones de interrupción. Cuando el bit **SPRIE** se pone a 1, se genera una interrupción cuando el bit **SPRF** receptor del SPI se pone a 1. El bit **SPRF** se pone a 1 cuando se transfiere un byte de datos al registro de datos del SPI.
- El **DMAS** de selección de DMA, es un bit de sólo lectura.
- El bit **SPMSTR** 'master' del SPI, es un bit de lectura/escritura que selecciona el modo de trabajo del SPI. Poniendo el bit a 1 para seleccionar el modo 'master' y a 0 para seleccionar el modo 'slave'.
- El bit **CPOL** de polaridad del reloj, es un bit de lectura/escritura que determina el estado lógico el bit **SPSCK** entre las transmisiones. Para transmitir datos entre dos módulos SPI, deben tener valores idénticos del bit **CPOL**.
- El bit **CPHA** de la fase del reloj, es un bit de lectura/escritura que controla la relación del tiempo entre el reloj y los datos del SPI. Para

transmitir datos entre dos módulos SPI, deben tener valores idénticos de CPHA. La fase y la polaridad se podrán ver más adelante.

- El bit SPWOM modo OR alambrado, es un bit de lectura/escritura que desactiva los 'pullup' en los pins SPSCCK, MOSI y MISO para que estos pins se pongan en salida 'open-drain'.
- El bit SPE activa el SPI, es un bit de lectura/escritura que activa el módulo SPI. Se debe desactivar el SPI antes de que cambie la fase o la polaridad del reloj, escribiendo el bit CPOL o el bit CPHA.
- El bit SPTIE activa la interrupción de transmisión, es un bit de lectura/escritura que activa las peticiones de interrupción de la CPU que se vayan a generar cuando se transfiere un byte desde el registro transmisor de datos al registro de desplazamiento.

5.5.-Registro de estado y de control del SPI(SPSCR)

El registro SPSCR de estado y de control del SPI, contiene el indicador de estado y los bits de control adicionales.

SPSCR	Bit 7	6	5	4	3	2	1	Bit 0
Leer:	SPRF	ERRIE	OVRF	MODF	SPTIE	MODFEN	SPR1	SPR0
Escribir:								
Reset:	0	0	0	0	1	0	0	0

- El bit SPRF de receptor lleno del SPI, es un bit de sólo lectura que se pone a 1 cada vez que transfiere un byte del registro de desplazamiento al registro de datos del receptor. Si el bit SPRIE en el registro SPCR se pone a 1, poniendo a 1 el bit SPRF genera una petición de interrupción a la CPU. Durante una interrupción de la CPU, la CPU pone a 0 el bit SPRF leyendo el estado del SPI y el registro de control, con el bit SPRF puesto a 1 y después leyendo el registro de datos del SPI.
- El bit ERRIE activa la interrupción de error, es un bit de lectura/escritura que le permite al SPI generar interrupciones en condiciones de error para tomar acciones correctivas. Las dos condiciones de error son: desbordamiento y modo fallo.
- El bit OVFR de desbordamiento, es un bit de lectura/escritura que se pone a 1 cuando el software no lee el byte en el registro de datos del receptor antes de que el siguiente byte completo entre en el registro de desplazamiento. En una condición de desbordamiento, el último byte que se ha desplazado se pierde. Se puede poner a 0 el bit OVFR leyendo el registro de estado y de control con el bit OVFR puesto a 1, leyendo el registro de datos del receptor.
- El bit MODF de modo fallo, es un indicador de sólo lectura que se pone a 1 cuando ocurre un error de fallo durante la transmisión y el bit MODFEN que activa el modo de fallo se pone a 1. Las condiciones bajo las que el indicador MODF se pone a 1, son diferentes para el 'master' y el 'slave'.

En un SPI 'master', el bit MODF se pone a 1 siempre que el pin /SS pasa a valor bajo. En un SPI 'slave', el bit MODF se pone a 1 cuando el pin /SS pasa a valor alto, durante la transmisión.

- El bit SPTE de transmisor vacío, es un bit escritura/lectura que se pone a 1 cada vez que el registro de datos de transmisión transfiere un byte al registro de desplazamiento. Poniendo a 1 el bit SPTE, genera una interrupción si es activado por el bit SPTIE. No se debe escribir en el registro de datos del SPI a menos que el bit SPTE se ponga a 1.
- Los bits SPR1 y SPR0 de selección de 'baud rate', son bits de lectura/escritura que selecciona uno de los cuatro divisores de velocidad de transmisión. Puesto que el reloj sólo se maneja en modo 'master', estos bits no tienen efecto en modo 'slave'.

5.6.-Cálculo del Baud Rate

La tabla siguiente muestra los códigos para seleccionar uno de los cuatro divisores de 'baud rate', usando los bits SPR1 y SPR0 de selección de 'baud rate', son bits de lectura/escritura que selecciona uno de los cuatro divisores de 'baud rate', usando los bits SPR1 y SPR0 de selección de la velocidad de transmisión del SPI. La velocidad de transmisión se calcula dividiendo la frecuencia del bus por dos veces el divisor de 'baud rate'.

SPR1 y SPR0	Baud rate Divisor (BD)
00	2
01	8
10	32
11	128

Para calcular la velocidad de transmisión del SPI se usa esta fórmula:

$$\text{Baud Rate} = \text{CGMOUT} / (2 \times \text{BD})$$

Donde,

CGMOUT = Reloj Base de salida del módulo generador de reloj (CGM)

BD = División de Baud rate

5.7.-Registro SPDR de Datos

El registro SPDR de datos del SPI, realmente tiene dos registros que se acceden con una sola dirección, y son el registro de datos del receptor y el registro de datos del transmisor. Estos registros están separados y contienen valores diferentes. Se accede a los registros individualmente usando las acciones de lectura/escritura. Leyendo el registro de datos, se leen los datos del registro de datos del receptor. Escribiendo el registro de datos del SPI se escriben los datos en el registro de transmisión de datos.

SPDR	Bit 7	6	5	4	3	2	1	Bit 0
Leer:	R7	R6	R5	R4	R3	R2	R1	R0
Escribir:	T7	T6	T5	T4	T3	T2	T1	T0
Reset:	No le afecta							

No se deben usar las instrucciones de lectura, de modificación o de escritura en el registro SPDR de datos del SPI en el momento que el registro leído no es igual a registros escrito. En 'reset', el estado de los registros es indefinido.

5.8.-Iniciación del SPI 'Master-Slave'

Paso

- 1) Inicializar la frecuencia de reloj SPI.
- 2) Configurar el reloj.
- 3) Selección del modo master/slave.
- 4) Activar la interrupción, si se desea.
- 5) Activar el SPI master.
- 6) Activar el SPI slave.

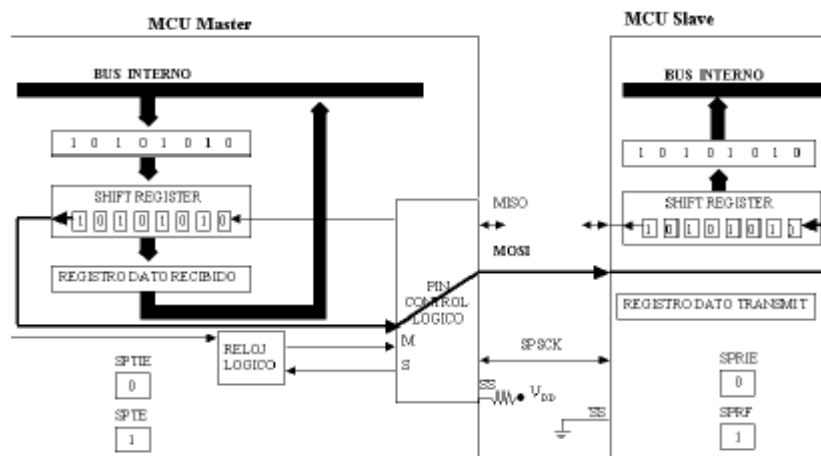
Bits de Control

SPR1 y SPR0 en SPSCR
 CPOL y CPHA en SPSCR
 SPMSTR en SPCR
 SPTIE y SPRIE en SPCR
 SPE en SPCR
 SPE en SPCR

Para inicializar el SPI 'master-slave', primero hay que seleccionar la frecuencia del reloj usando los bits SPR1-SPR0 de selección de 'baud rate'. Después hay que configurar el reloj con el bit CPOL de polaridad del reloj y el bit CPHA de fase del reloj. Seguidamente se selecciona el modo de SPI, usando el bit SPMSTR 'master del SPI' Poniendo el bit a 1 para el SPI 'master' y 0 para el SPI 'slave'. Si se desea que actúe el funcionamiento de interrupción, hay que activar las interrupciones usando el bit SPTIE de activación de la interrupción del transmisor del SPI y el bit SPE que activa el SPI, en el registro de control, asegurándose que el SPI 'master' se activa antes que el SPI 'slave'.

5.9.-Ejemplo de transmisión de datos master-slave (MCU 68CH08)

El software empieza una transmisión SPI, escribiendo un byte en el registro de datos de transmisión del SPI. Si el registro de desplazamiento está vacío, el byte se transfiere inmediatamente a este registro de desplazamiento. Por otra parte, la transferencia empieza cuando el registro de desplazamiento termina de transferir el byte anterior. Una vez el byte es transferido desde el registro de transmisión del SPI al registro de desplazamiento, el bit SPTE se pone a 1 indicando que se puede escribir otro byte al registro de transmisión de datos del SPI. El bit SPTE genera una interrupción a la CPU, si el bit SPTIE se pone a 1. Esto permite manejar la interrupción de transmisión de transferencia multi-byte. En el ejemplo, el bit SPTIE se pone a 0, para desactivar las interrupciones.



El byte empieza desplazando un bit, en el pin MOSI sincronizado con la señal SPCK de reloj 'master'. La transferencia continuará durante 8 SPCK ciclos de reloj y transferirá todos los 8-bits. Como que el byte se ha desplazado fuera del SPI 'master', se desplaza otro byte en el pin MISO del 'slave'. En este ejemplo se desatiende el byte de información que se desplaza del SPI 'slave' al SPI 'master'.

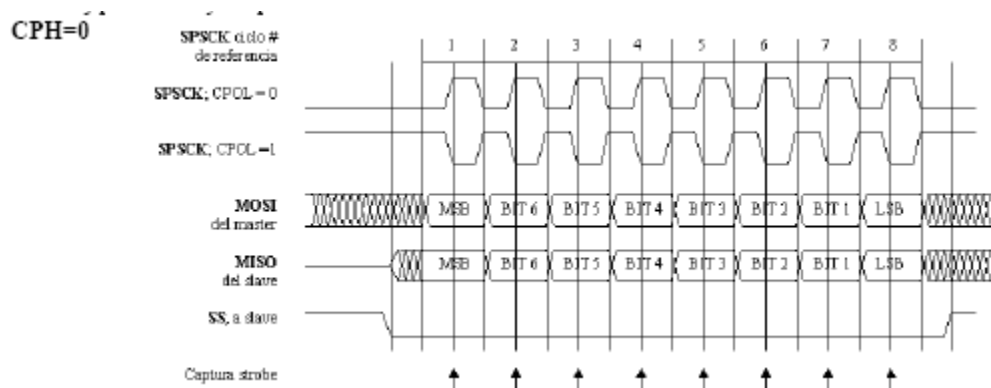
La transmisión acaba cuando el byte completo se desplaza fuera del registro de desplazamiento del SPI 'master' y en el registro de desplazamiento del SPI. El registro de desplazamiento 'slave' se transfiere al registro de datos del SPI 'slave' si está vacío y permite transferir otro byte si hay alguno pendiente. El bit SPRF se pone a 1 indicando que el registro SPI está lleno y esperando ser leído. Si el bit SPRIE se pone a 1, se genera también una petición de interrupción del SPI receptor. En este ejemplo, el bit SPRIE se pone a 0.

Para evitar un desbordamiento, el 'slave' debe leer el registro de datos del receptor anterior para intentar que el 'master' transfiera más de un byte adicional. Este byte adicional se mantendrá en el registro de desplazamiento y no se cargará en el registro del receptor hasta que el byte anterior no haya sido leído por la CPU. Si el 'master' intenta transmitir vía serie otro byte antes de leer el registro de datos del receptor, se sobrescribirán los datos en el registro de desplazamiento 'slave' causando una condición de error por desbordamiento. El byte en el registro de datos del receptor no se sobrescribirá.

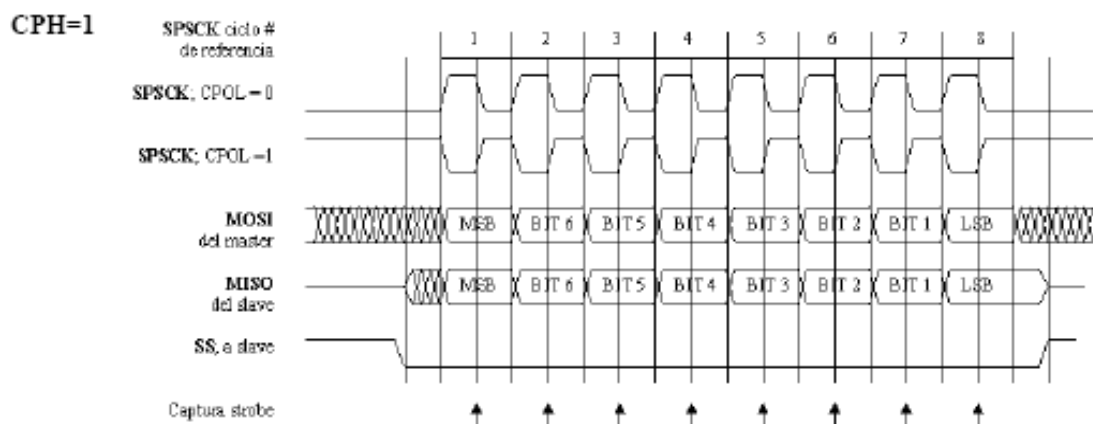
5.10.-Formatos de transmisión

El software puede seleccionar cualquiera de las cuatro combinaciones de la fase de reloj y polaridad del SPI, usando los bits CPOL y CPHA. La polaridad del reloj selecciona un reloj alto o bajo activo y no tiene efecto significativo en el formato de transmisión. La fase del reloj selecciona uno de dos formatos de la transmisión fundamentalmente diferentes.

Seguidamente se examina la transmisión SPI para cada fase de reloj, empezando con el bit de la fase del reloj puesto a 0 después a 1.



El flanco de bajada del pin SS seleccionado como 'slave', activa al 'slave' para empezar la transmisión manejando el pin MISO con el MSB del registro de desplazamiento 'slave'. El 'master' empieza la transmisión manejando el MSB del registro de desplazamiento del 'master' en el pin MOSI. Entonces el 'master' manejará el reloj SPSCK del SPI. Al primer flanco de reloj SPSCK, ocurre la captura 'strobe'. Esto completa la transferencia de los bits MSB del 'slave' desde el 'master' y desplaza los datos en el registro de desplazamiento. Después del siguiente flanco del reloj SPSCK, el 'master' y el 'slave' empezarán manejando los seis bits hacia sus respectivos. El ciclo continúa hasta que todos los 8-bits se han transferido.



Cuando el bit /SS 'slave' pasa a nivel bajo, el 'slave' espera hasta el primer flanco de reloj SPSCK para manejar su pin MISO. Los bits MSB del 'master' y el 'slave', manejan a sus respectivos pins al primer flanco de reloj SPSCK. Ocurre la captura 'strobe' en el segundo flanco de reloj SPSCK con CPH puesto a 1, en lugar del primer flanco cuando CPH está puesto a 0. Finalmente, el ciclo continúa hasta que todos los 8-bits se han transferido.

5.11.-Ejercicio de programación del SPI (MCU 68CH08)

Configurar el reloj SPI para estar en modo 'idle low' y tomar los datos en los flancos de subida del reloj. También, configurar la frecuencia del reloj PI

a 300 kHz y asumir una frecuencia de reloj del sistema de 8 Mhz.

```

FTB EQU $01 ; Registro de Datos Puerto B
DDRB EQU $05 ; Registro de Dirección de Datos del Puerto B
SPCR EQU $10 ; Registro de Control SPI
SPSCR EQU $11 ; Registro de Estado y Control SPI
SPDR EQU $12 ; Datos (Lectura = rcv, Escritura = xmt)
;
; Selección de entrada/salida y niveles del Puerto B:
;
BSET #3,FTB ; Pone la salida PB3 en estado alto
BSET #3,DDRB ; Pone PB3 como una salida
LDA #$06 ; Carga el acumulador (ACC) con:
; " MOSI y SPCK = para outputs
; " MISO y SS* = para inputs
STA DDRF ; Guarda el ACC en el registro DDRF
;
; Selecciona modo master, reloj, y activa el SPI:
LDA #$02 ; Carga el ACC con el valor que selecciona 300 kHz
STA SPSCR ; Guarda el ACC en el registro SPSCR
LDA #$22 ; Carga el ACC con valor a configurar SPSCR
STA SPCR ; Guarda el ACC en el registro SPCR
;
; Envía $55 al registro de desplazamiento:
;
BCLR #3,PORTB ; Pone la salida PB3 en estado bajo (registro chip-select)
LDA #$55 ; Carga el ACC con $55
STA SPDR ; Guarda el ACC en SPDR
WAIT BRCLR #7,SPSCR,WAIT ; Espera hasta que la transmisión sea completada
BSET #3,PORTB ; Pone salida PB3 en estado alto (registro de selección)
DONE BRA DONE ; Hecho...

```

6.-APLICACIÓN DEL SPI AL DS1305

6.1.-Interfaz en serie

El DS1305 ofrece la flexibilidad de escoger entre dos modos del interfaz de serie. El DS1305 puede comunicarse con el interfaz SPI o con el estándar 3-wire. El pin SERMODE determina el interfaz a usar. Cuando SERMODE este conectado a tierra entonces selecciona la comunicación del estándar 3-wire. Cuando SERMODE este conectado a V_{CC} entonces selecciona la comunicación del SPI.

6.2.-Interfaz periférico serie

SPI es un bus síncrono para la dirección y transferencia de datos, se usa cuando interconectamos el bus SPI con microcontroladores, 68HC05C4 y 68HC11A8 (Motorola). El modo de SPI de comunicación de serie se selecciona por la unión que el pin SERMODE fija a V_{CC} . El SPI usa 4 pines: SDO (Datos de serie OUT), SDI (Datos de serie IN), CE (Chip Enable) y SCLK (Reloj de serie). El DS1305 es un dispositivo Esclavo en aplicación SPI, y siendo el Master el microcontrolador.

Los pines SDI y SDO son las entradas y salidas de datos serie y para el DS1305. La entrada CE sirve para iniciar y terminar la transferencia de datos. El pin SCLK sincroniza el movimiento de los datos entre dispositivos con los que vamos a comunicar, Master (microcontrolador) y Esclavo (DS1305).





La variación del reloj (SCLK) generada por el microcontrolador solo es activa durante la dirección y transferencia de los datos a cualquier dispositivo en el bus SPI. La polaridad del reloj inactivo es programable en algún microcontrolador. El DS1305 ofrece una característica en que el nivel de inactividad del reloj se determina probando el SCLK cuando el CE se activa. Por lo tanto, la polaridad del SCLK puede ajustarse.

Sí la SCLK en reposo esta a 1 (CPOL = 1) → flanco descendente = Lectura; flanco ascendente = escritura.

Si la SCLK en reposo esta a 0 (CPOL = 0) → flanco ascendente = Lectura; flanco descendente = escritura

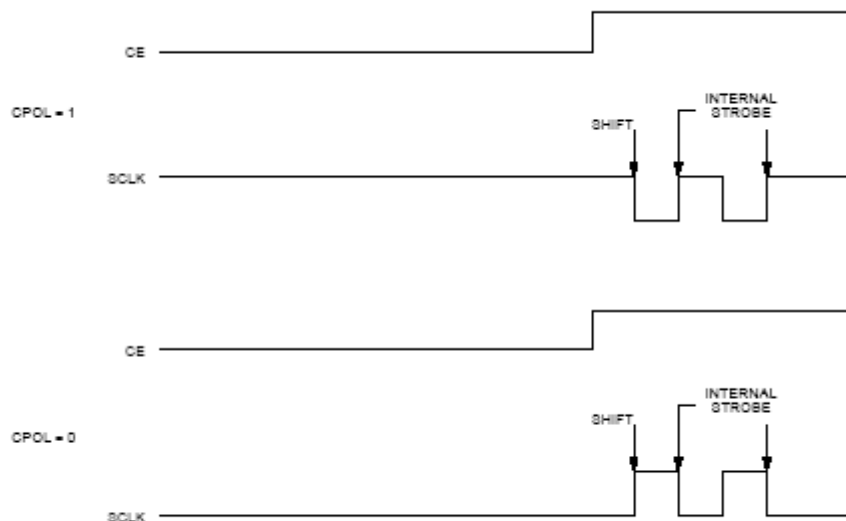
Véase la Tabla 3 y la Figura 6

FUNCTION TABLE Table 3

MODE	CE	SCLK	SDI	SDO
Disable Reset	L	Input Disabled	Input Disabled	High Z
Write	H	CPOL=1*  CPOL=0 	Data Bit Latch	High Z
Read	H	CPOL=1  CPOL=0 	X	Next data bit shift**

* CPOL es el bit de “la Polaridad del Reloj” que es fijo en el registro de control del microcontrolador.

SERIAL CLOCK AS A FUNCTION OF MICROCONTROLLER CLOCK POLARITY (CPOL) Figure 6

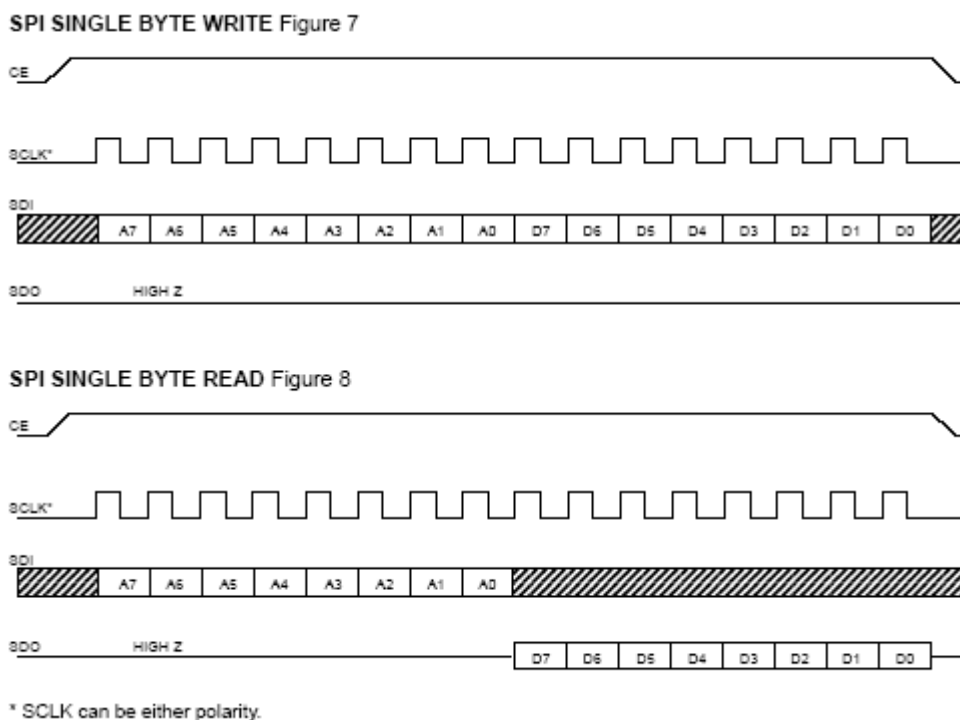


NOTE: CPOL is a bit that is set in the microcontroller's Control Register.

6.3.-Dirección y bytes de los datos

Según el Byte más significativo (MSB) trabajaremos con los datos de entrada y los de salida, los SDI y SDO. Cualquier transferencia requiere la dirección del byte a especificar, la escritura o la lectura a un RTC o posición de Memoria RAM, seguido de uno o más bytes de datos. Los datos se transmiten a la salida del SDO por una operación de lectura y entran en el SDI por una de escritura.

Véase la figura 7 y 8.



El byte de direcciones es el primero a entrar después el CE trabaja a nivel alto. El Byte más significativo, MSB, (A7) determina si habrá una lectura o escritura.

Si A7 = 0 → ocurrirán uno o más ciclos de lectura.

Si A7 = 1 → ocurrirán uno o más ciclos de escritura.

En la transferencia de datos puede ser dirección-dato o modo BURST (dirección-dato_dato_dato). Después de que CE trabaje a nivel alto la dirección se escribe al DS1305. Después de la dirección, uno o más de los bytes de datos pueden escribirse o leerse. Para un solo byte la transferencia se lee o escribe entonces el CE se maneja a nivel bajo. Para la transferencia de un byte múltiple, puede ser leído o escrito al DS1305 después de que la

dirección haya sido escrita. Consecuencia de cada ciclo de lectura o escritura es que los registros RTC o dirección RAM incrementa automáticamente (hasta que se desactive el dispositivo).

Cuando seleccionamos el RTC:

dirección 00h → 1Fh durante una lectura

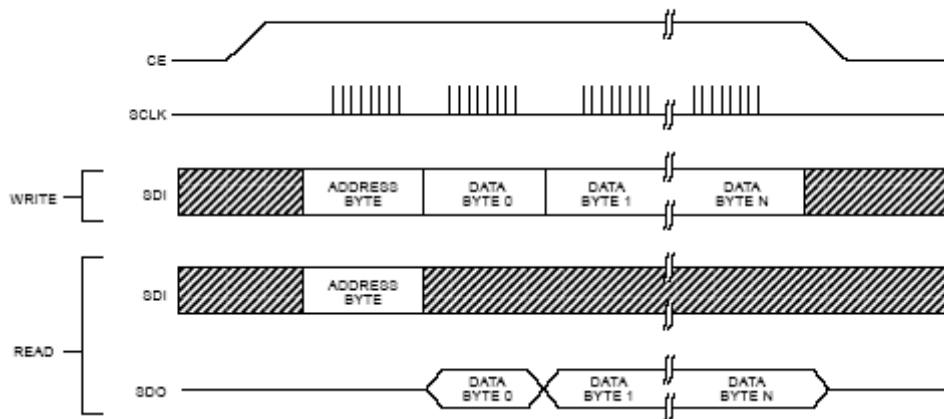
dirección 80h → 9Fh durante una escritura

Cuando seleccionamos la RAM:

dirección 20h → 7Fh durante una lectura

dirección A0h → FFh durante una escritura

SPI MULTIPLE BYTE BURST TRANSFER Figure 9



6.4.-Interfaz 3-WIRE

El modo del interfaz 3-wire opera de forma similar al modo SPI. En modo 3-wire hay un I/O en lugar de separar los datos In y los Out de la señal. El interfaz 3-wire consiste en el I/O (pines SDI y SDO cortocircuitados), CE y pines SCLK. Cada byte empieza la transmisión en LSB, byte menos significativo, (en SPI el byte cambia con MSB).

Un byte de direcciones está escrito al dispositivo seguido por un solo byte de datos o múltiples bytes de datos.

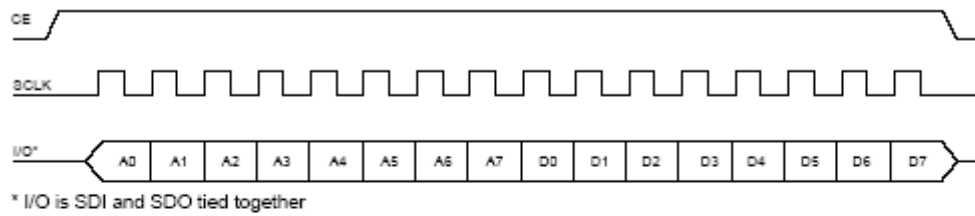
En el 3-wire según la señal del SCLK:

Si viene flanco ascendente → Datos de Entrada.

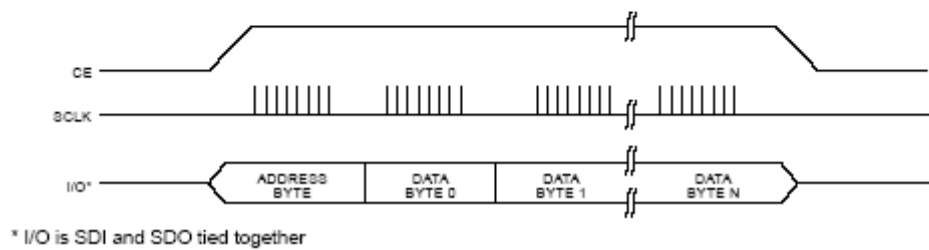
Si viene flanco descendente → Datos de Salida

La figura 10 ilustra un ciclo de lectura y escritura, mientras que la figura 11 ilustra la transferencia del modo Burst.

3-WIRE SINGLE BYTE TRANSFER Figure 10



3-WIRE MULTIPLE BYTE BURST TRANSFER Figure 11

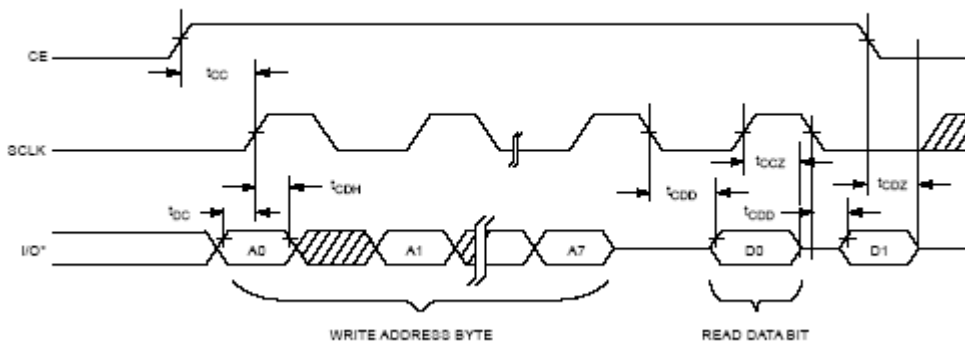


3-WIRE AC ELECTRICAL CHARACTERISTICS (cont'd) (0°C to 70°C*; V_{CC} = 2.5 to 5.5V**)

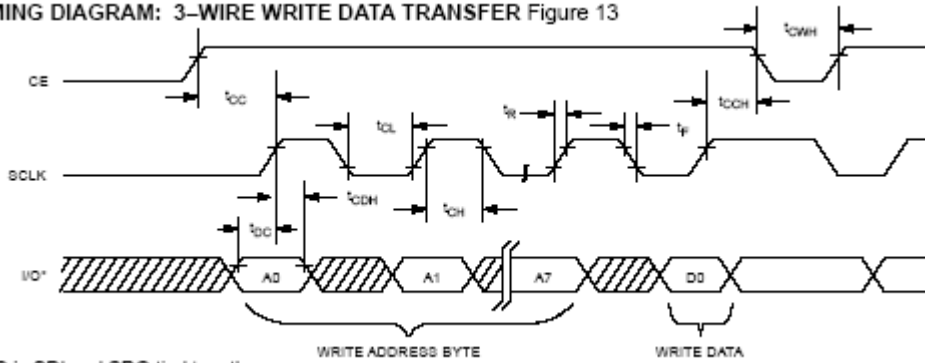
PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
CE to CLK Setup	t _{CC}	V _{CC} =2.5V	4			μs 6
		V _{CC} =5V	1			
CLK to CE Hold	t _{CCH}	V _{CC} =2.5V	240			ns 6
		V _{CC} =5V	60			
CE Inactive Time	t _{CWH}	V _{CC} =2.5V	4			μs 6
		V _{CC} =5V	1			
CE to Output High Z	t _{COZ}	V _{CC} =2.5V		280		ns 5, 6
		V _{CC} =5V		70		
SCLK to Output High Z	t _{COZ}	V _{CC} =2.5V		280		ns 5, 6
		V _{CC} =5V		70		

* -40°C to +85°C for industrial device
 **Unless otherwise noted.

TIMING DIAGRAM: 3-WIRE READ DATA TRANSFER Figure 12



TIMING DIAGRAM: 3-WIRE WRITE DATA TRANSFER Figure 13



* I/O is SDI and SDO tied together.

SPI AC ELECTRICAL CHARACTERISTICS

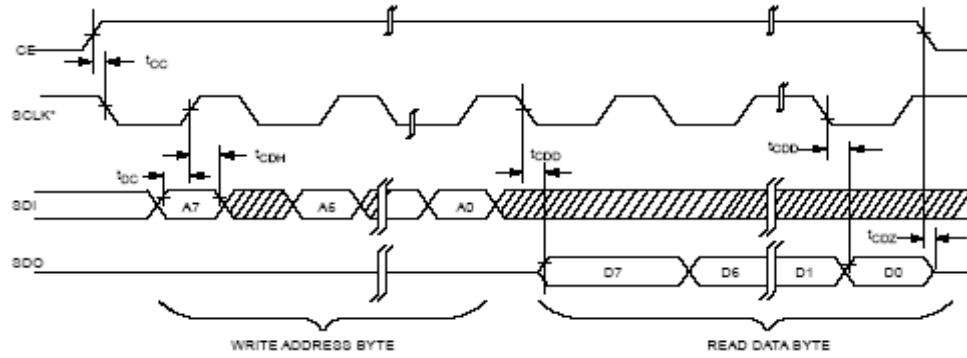
(0°C to 70°C*; V_{CC} = 2.5 to 5.5V**)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Data to CLK Setup	t _{DC}	V _{CC} =2.5V	200		ns	5, 6
		V _{CC} =5V	50			
CLK to Data Hold	t _{CDH}	V _{CC} =2.5V	280		ns	5, 6
		V _{CC} =5V	70			
CLK to Data Delay	t _{CDD}	V _{CC} =2.5V		800	ns	5, 6, 7
		V _{CC} =5V		200		
CLK Low Time	t _{CL}	V _{CC} =2.5V	1000		ns	6
		V _{CC} =5V	250			
CLK High Time	t _{CH}	V _{CC} =2.5V	1000		ns	6
		V _{CC} =5V	250			
CLK Frequency	t _{CLK}	V _{CC} =2.5V		0.6	MHz	6
		V _{CC} =5V	DC	2.0		
CLK Rise and Fall	t _r , t _f	V _{CC} =2.5V		2000	ns	
		V _{CC} =5V		500		
CE to CLK Setup	t _{CC}	V _{CC} =2.5V	4		μs	6
		V _{CC} =5V	1			
CLK to CE Hold	t _{CCH}	V _{CC} =2.5V	240		ns	6
		V _{CC} =5V	60			
CE Inactive Time	t _{CWH}	V _{CC} =2.5V	4		μs	6
		V _{CC} =5V	1			
CE to Output High Z	t _{CDZ}	V _{CC} =2.5V		280	ns	5, 6
		V _{CC} =5V		70		

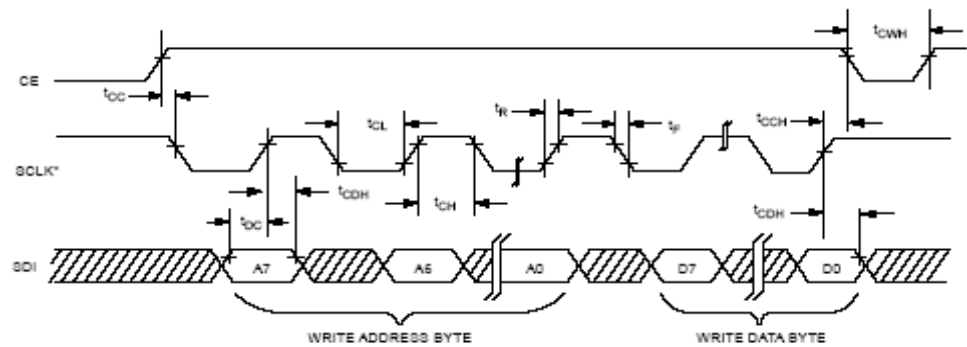
* -40°C to +85°C for industrial device

**Unless otherwise noted.

TIMING DIAGRAM: SPI READ DATA TRANSFER Figure 14



TIMING DIAGRAM: SPI WRITE DATA TRANSFER Figure 15



* SCLK can be either polarity, timing shown for CPOL = 1.

7.-VALORES MÁXIMOS ABSOLUTOS

RECOMMENDED DC OPERATING CONDITIONS (0°C to 70°C*)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Supply Voltage V_{CC1}, V_{CC2}	V_{CC1}, V_{CC2}	2.5		5.5	V	1, 9
Logic 1 Input	V_{IH}	2.0		$V_{CC}+0.3$	V	1
Logic 0 Input	V_{IL}	$V_{CC}=2.5V$	-0.3	+0.3	V	1
		$V_{CC}=5V$	-0.3	+0.8		
V_{BAT} Battery Voltage	V_{BAT}	2.5		5.5	V	1
V_{CCIF} Supply Voltage	V_{CCIF}	2.5		5.5	V	14

DC ELECTRICAL CHARACTERISTICS (0°C to +70°C*; $V_{CC} = 2.5$ to 5.5V**)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Input Leakage	I_{LI}			+500	μA	
Output Leakage	I_{LO}			1	μA	
Logic 0 Output	V_{OL}	$V_{CC}=2.5V$		0.4	V	2
		$V_{CC}=5V$		0.4		
Logic 1 Output	V_{OH}	$V_{CCIF}=2.5V$	1.6	0.4	V	13
		$V_{CCIF}=5V$	2.4	0.4		
V_{CC1} Active Supply Current	I_{CC1A}	$V_{CC1}=2.5V$		0.425	mA	4, 10
		$V_{CC1}=5V$		1.28		
V_{CC1} Timekeeping Current	I_{CC1T}	$V_{CC1}=2.5V$		25.3	μA	3, 10
		$V_{CC1}=5V$		81		
V_{CC1} Standby Current	I_{CC1S}	$V_{CC1}=2.5V$		25	μA	8, 10
		$V_{CC1}=5V$		80		
V_{CC2} Active Supply Current	I_{CC2A}	$V_{CC2}=2.5V$		0.4	mA	4, 11
		$V_{CC2}=5V$		1.2		
V_{CC2} Timekeeping Current	I_{CC2T}	$V_{CC2}=2.5V$		0.3	μA	3, 11
		$V_{CC2}=5V$		1		

*-40°C to +85°C for industrial device

**Unless otherwise noted.

DC ELECTRICAL CHARACTERISTICS (cont'd) (0°C to +70°C*; V_{CC} = 2.5 to 5.5V**)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
V _{CC2} Standby Current	I _{CC2S}	V _{CC2} =2.5V		100	nA	8, 11
		V _{CC2} =5V		100		
Battery Timekeeping Current	I _{BATT}	V _{BAT} =3V		300	nA	12
Battery Standby Current	I _{BATS}	V _{BAT} =3V		100	nA	12
Trickle Charge Resistors	R1		2		KΩ	
	R2		4		KΩ	
	R3		8		KΩ	
Trickle Charger Diode Voltage Drop	V _{TD}		0.7		V	

CAPACITANCE

(t_A = 25°C)

PARAMETER	SYMBOL	CONDITION	TYP	MAX	UNITS	NOTES
Input Capacitance	C _I		10		pF	
Output Capacitance	C _O		15		pF	
Crystal Capacitance	C _X		6		pF	

3-WIRE AC ELECTRICAL CHARACTERISTICS

(0°C to 70°C*; V_{CC} = 2.5V to 5.5V**)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Data to CLK Setup	t _{DC}	V _{CC} =2.5V	200		ns	5, 6
		V _{CC} =5V	50			
CLK to Data Hold	t _{CDH}	V _{CC} =2.5V	280		ns	5, 6
		V _{CC} =5V	70			
CLK to Data Delay	t _{CDD}	V _{CC} =2.5V		800	ns	5, 6, 7
		V _{CC} =5V		200		
CLK Low Time	t _{CL}	V _{CC} =2.5V	1000		ns	6
		V _{CC} =5V	250			
CLK High Time	t _{CH}	V _{CC} =2.5V	1000		ns	6
		V _{CC} =5V	250			
CLK Frequency	t _{CLK}	V _{CC} =2.5V		0.6	MHz	6
		V _{CC} =5V	DC	2.0		
CLK Rise and Fall	t _R , t _F	V _{CC} =2.5V		2000	ns	
		V _{CC} =5V		500		

* -40°C to +85°C for industrial device

**Unless otherwise noted.

3-WIRE AC ELECTRICAL CHARACTERISTICS (cont'd)

(0°C to 70°C*; V_{CC} = 2.5 to 5.5V**)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
CE to CLK Setup	t _{CC}	V _{CC} =2.5V	4		μs	6
		V _{CC} =5V	1			
CLK to CE Hold	t _{CCH}	V _{CC} =2.5V	240		ns	6
		V _{CC} =5V	60			
CE Inactive Time	t _{CWH}	V _{CC} =2.5V	4		μs	6
		V _{CC} =5V	1			
CE to Output High Z	t _{CBZ}	V _{CC} =2.5V		280	ns	5, 6
		V _{CC} =5V		70		
SCLK to Output High Z	t _{CCZ}	V _{CC} =2.5V		280	ns	5, 6
		V _{CC} =5V		70		

* -40°C to +85°C for industrial device

**Unless otherwise noted.

7.2.-Notas

1. Todos los voltajes son los referidos a la conexión con tierra.
2. Voltaje de CERO lógico es especificado a un descenso de corriente de 4MA a $V_{CC}=5V$ y 1.5MA a $V_{CC}=2.5V$, $VOL=GND$ para una capacidad de carga.
3. ICC1T e ICC2T se especifican con CE ponga un CERO lógico y bit=0 de EOSC (el oscilador activado).
4. ICC1A e ICC2A se especifican con CE= V_{CC} , SCLK=2MHz (el 0- V_{CC}) a $V_{CC}=5V$; SCLK=500KHz (el 0-5V) a $V_{CC}=2.5V$ y bit=0 de EOSC (el oscilador activado).
5. Calculado $V_{IH}=2.0V$ o $V_{IL}=0.8V$ y 10 ms máximo subida y bajada de tiempo.
6. Calculado con 50pF de carga.
7. Calculado $V_{OH}=2.4V$ o $V_{OL}=0.4V$.
8. ICC1S e ICC2S se especifican con CE ponga un CERO lógico. El bit de EOSC debe ponerse a UNO lógico (el oscilador desactivó).
9. $V_{CC}=V_{CC1}$, cuando $V_{CC1} > V_{CC2} + 0.2V$ (típico); $V_{CC}=V_{CC2}$, cuando $V_{CC2} > V_{CC1}$.
10. $V_{CC2}=0$ voltios.
11. $V_{CC1}=0$ voltios.
12. $(V_{CC1} = V_{CC2}) < V_{BAT}$.
13. Los voltajes a UNO lógico se especifican a una fuente de corriente de 1MA a $V_{CC}=5V$ y 0.4MA a 2.5V, $V_{OH}=V_{CC}$.
14. V_{CCIF} debe ser menor o igual que el más grande de V_{CC1} , V_{CC2} , y V_{BAT} .

8.- EJEMPLO DE UTILIZACIÓN DE LECTURA DEL DS1305

//Primero se tiene que inicializar la conexión con el spi, pero su nivel de dificultad excede el límite de esta asignatura.

//Procederemos a declarar una estructura para poder introducir las variables.

```
##include<16F877.h>
```

```
##include<reg.h>
```

```
##fuses HS,NOWDT,NOPROTECT,NOPUT,NOBROWN OUT,NOLVP
```

```
##use delay(clock=20000000)
```

```
##BIT TRISB_OBF=0X86.6 //sirve para poder declarar si el micro va a recibir o enviar datos
```

Var:

```
struct reloj
```

```
    int sec
```

```
    int min
```

```
    int hours
```

```
    int day
```

```
    int date
```

```
    int month
```

```
    int year
```

```
struct reloj calendario
```

```
    reloj.seg
```

```
    reloj.min
```

```
    reloj.hours
```

```
    reloj.day
```

```
    reloj.date
```

```
    reloj.month
```

```
    reloj.year
```

//A continuación debemos activar el chip enable para poder transmitir el dato que hay inscrito en cada variable del reloj-calendario y después desactivarlo.

Main ()

```
{  
    RB6=1;           //Escribe un 1 en el bit número 6 del puerto B.  
    TRISB_OBF =0;   //Sirve para que el micro active el puerto  
                    //para poder recibir datos.  
    SSPBUF=00H;     //Sirve para saber en que dirección debe  
                    //copiar los datos.  
    SEGUNDO=SSPBUF; //Copia el contenido del SSPBUF en  
                    //la variable SEGUNDO.  
    RB6=0;         //Pone un 0 en el bit 6 para desactivar el chip  
                    //enable.
```

//A continuación es repetir el proceso para las otras 6 variables.

```
    RB6=1;  
    TRISB_OBF =0;  
    SSPBUF=01H;  
    MINUTO=SSPBUF;  
    RB6=0;
```

```
    RB6=1;  
    TRISB_OBF =0;  
    SSPBUF=02H;  
    HORA=SSPBUF;  
    RB6=0;
```

```
    RB6=1;  
    TRISB_OBF =0;  
    SSPBUF=03H;  
    DIA=SSPBUF;  
    RB6=0;
```

```
    RB6=1;  
    TRISB_OBF =0;  
    SSPBUF=04H;  
    FECHA=SSPBUF;  
    RB6=0;
```

```
RB6=1;  
TRISB_OBF =0;  
SSPBUF=05H;  
MES=SSPBUF;  
RB6=0;
```

```
RB6=1;  
TRISB_OBF =0;  
SSPBUF=06H;  
AÑO=SSPBUF;  
RB6=0;
```

```
}
```


9.- BIBLIOGRAFÍA

- <http://www.ii.uam.es/~gdrivera/robotica/hc08/guia68hc08.pdf>
- <http://www.seattlerobotics.org/encoder/200005/ds1305.pdf>